

## Semiconductor memory device

Publication number: CN1490820

Publication date: 2004-04-21

Inventor: ATSUSHI OMATOI (JP)

Applicant: TOKYO SHIBAURA ELECTRIC CO (JP)

Classification:

- international: G11C16/04; G11C11/401; G11C11/402; G11C11/404;  
G11C11/406; G11C11/4097; H01L21/8242; H01L27/10;  
H01L27/108; H01L29/786; G11C16/04; G11C11/401;  
G11C11/402; G11C11/403; G11C11/406; G11C11/409;  
H01L21/70; H01L27/10; H01L27/108; H01L29/66;  
(IPC1-7): G11C11/401; H01L27/108

- European: G11C11/404; G11C11/406; G11C11/4097; H01L29/78L

Application number: CN20031056884 20030911

Priority number(s): JP20020265623 20020911

Also published as:



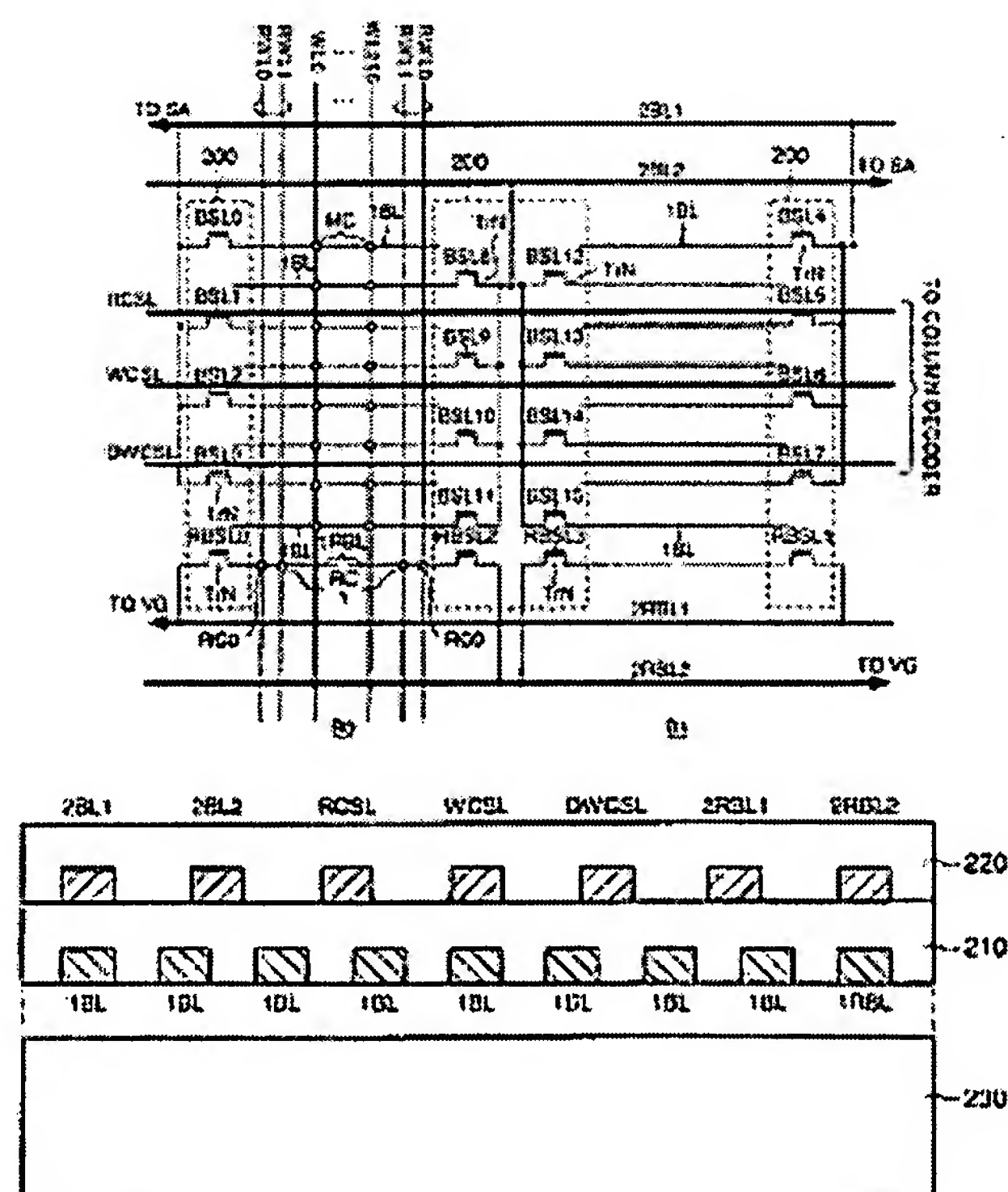
US6650565 (B1)  
JP2004103159 (A)  
TW237267B (B)  
CN100390900C (C)

Report a data error here

Abstract not available for CN1490820

Abstract of corresponding document: **US6650565**

A semiconductor memory device has a memory cell array which includes memory cells arranged in a matrix form on a semiconductor substrate, each of the memory cells including a MISFET which has a source, a drain, a channel body and a gate electrode, each of the memory cells having a first state and a second state; word lines, each of which is connected to the gate electrodes of the memory cells arranged in a first direction; first bit lines, each of which is connected to the drains of the memory cells arranged in a second direction, the bit lines being formed in a first wiring layer located above the semiconductor substrate; and a second bit line which is formed in a second wiring layer located above the first wiring layer, the second bit line being connected to the first bit lines via bit line switches.



Data supplied from the esp@cenet database - Worldwide

[ 51 ] Int. Cl.<sup>7</sup>

**G11C 11/401**

H01L 27/108



## [12] 发明专利申请公开说明书

[21] 申请号 03156884. X

[43] 公开日 2004 年 4 月 21 日

[11] 公开号 CN 1490820A

[22] 申请日 2003.9.11 [21] 申请号 03156884.X

[30] 优先权

[32] 2002. 9. 11 [33] JP [31] 265623/2002

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 大澤隆

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

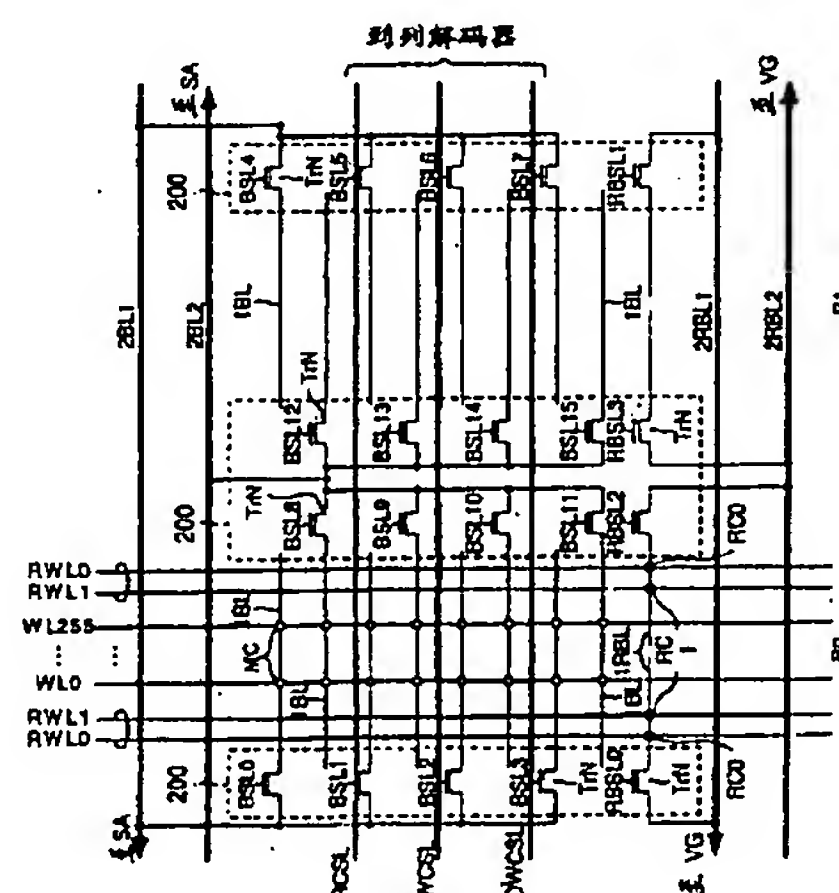
代理人 王永刚

权利要求书 5 页 说明书 37 页 附图 41 页

[54] 发明名称 半导体存储器件

[57] 摘要

在形成在个单元阵列块 B0 ~ B7 内的字线 WL 和第一位线 1BL 的交点位置配置存储单元 MC。通过位线选择器 200 把多个第一位线 1BL 有选择地连接在第二位线 2BL1、2BL2 上。跨多个单元阵列块形成该第二位线 2BL1、2BL2，分别连接在 1 个读出放大器 SA 上。据此，用 1 个读出放大器 SA，能访问位于多个单元阵列块内的存储单元 MC。削减半导体存储器件全体中的读出放大器 SA 的数量，谋求芯片的缩小。



1. 一种半导体存储器件，其特征在于：包括：

在半导体衬底上配置为矩阵状的多个存储单元，由具有漏极、源极、位于所述漏极和源极之间的电浮置状态的沟道体和形成在所述沟道体上的栅电极的 MISFET 构成，具有在所述沟道体中存储了多数载流子的第一状态和从所述沟道体释放了所述多数载流子的第二状态；

连接在沿着第一方向配置的所述存储单元的所述栅电极上的多条字线；

连接在与所述第一方向交叉的第二方向配置的所述存储单元的所述漏极上，形成在位于所述半导体衬底的上方的第一布线层中的第一位线；

形成在位于所述第一布线层的上方的第二布线层中，通过位线开关连接在多条所述第一位线上的第二位线。

2. 根据权利要求 1 所述的半导体存储器件，其特征在于：

还具有：在所述第一方向延伸的  $N$  ( $N$  为自然数) 条第一基准字线；

在所述第一方向延伸的  $N$  条第二基准字线；

形成在所述第一布线层中，在所述第二方向延伸的多条第一基准位线；

形成在所述第二布线层中，通过基准位线开关连接在多条所述第一基准位线上，在所述第二方向上延伸的第二基准位线；

当从所述存储单元读出数据时，用于生成基准电流的基准单元 ( $RC0$ 、 $RC1$ )，对于 1 条所述第一基准位线设置  $2N$  个，它的漏极连接在 1 条第一基准位线上， $2N$  个中的  $N$  个基准单元的栅电极连接在所述第一基准字线上，设置为第一状态， $2N$  个中剩下的  $N$  个基准单元的栅电极连接在所述第二基准字线上，设置为第二状态。

3. 根据权利要求 2 所述的半导体存储器件，其特征在于：

还具有：连接在所述第二基准位线上，使用所述基准单元生成的基准电流，生成基准电压的基准电压生成电路（VG）；

连接在所述第二位线上，读出选择的存储单元的单元电流，并且使用所述基准电压生成电路生成的所述基准电压，读出所述选择的存储单元的数据的读出放大器（SA）；

所述基准单元的构造与所述存储单元的构造相同。

4. 根据权利要求3所述的半导体存储器件，其特征在于：

所述位线开关设置在所述第一位线（1BL）的单侧；

所述基准位线开关也设置在所述第一基准位线（1RBL1、1RBL2）的单侧。

5. 根据权利要求3所述的半导体存储器件，其特征在于：

所述位线开关设置在所述第一位线（1BL）的单侧；

所述基准位线开关设置在所述第一基准位线（1RBL1、1RBL2）的两侧。

6. 根据权利要求4所述的半导体存储器件，其特征在于：

所述位线开关和所述基准位线开关由N型MISFET构成。

7. 根据权利要求4所述的半导体存储器件，其特征在于：

所述位线开关和所述基准位线开关由并联了N型的MISFET和P型的MISFET的传输门构成。

8. 根据权利要求5所述的半导体存储器件，其特征在于：

所述位线开关和所述基准位线开关由N型的MISFET构成。

9. 根据权利要求5所述的半导体存储器件，其特征在于：

所述位线开关和所述基准位线开关由并联了N型的MISFET和P型的MISFET的传输门构成。

10. 根据权利要求3所述的半导体存储器件，其特征在于：

由1个所述基准电压生成电路和至少一个所述读出放大器构成1个读出部件，该读出部件沿着所述第一方向配置多个。

11. 根据权利要求10所述的半导体存储器件，其特征在于：

还具有生成用于选择1个或多个所述读出放大器的列选择信号



的列解码器;

由配置为矩阵状的所述存储单元构成 1 个单元阵列, 并且所述单元阵列划分为多个单元阵列块;

传递所述列选择信号的列选择线从所述列解码器连接在各读出部件上, 该列选择线跨多个单元阵列块形成在所述第二布线层中。

12. 根据权利要求 10 所述的半导体存储器件, 其特征在于:

还具有生成用于选择 1 个或多个所述读出放大器的列选择信号的列解码器;

在所述列解码器的一方一侧区域或两侧的区域中, 与该列解码器相邻设置了所述读出部件;

传递所述列选择信号的列选择线不形成在所述单元阵列块上, 从所述列解码器连接在所述读出放大器上。

13. 根据权利要求 1 所述的半导体存储器件, 其特征在于:

还具有: 形成在所述第一布线层中的在所述第二方向上延伸的  $2N$  ( $N$  是自然数) 条第一基准位线;

当从所述存储单元读出数据时, 用于生成基准电流的多个基准单元, 设置在所述第一基准位线和字线的交点位置, 漏极连接在 1 条所述第一基准位线上, 栅电极连接在所述字线上, 并且连接在  $2N$  条中的  $N$  条第一基准位线上的基准单元设定为第一状态, 连接  $2N$  条中剩下的  $N$  条第一基准位线上的基准单元设定为第二状态;

形成在所述第二布线层中, 通过基准位线开关连接在多条所述第一基准位线上, 在所述第二方向上延伸的第二基准位线。

14. 根据权利要求 13 所述的半导体存储器件, 其特征在于:

还具有连接在所述第二基准位线上, 使用所述基准单元生成的基准电流, 生成基准电压的基准电压生成电路;

连接在所述第二位线上, 读出选择的存储单元的单元电流, 并且使用所述基准电压生成电路生成的所述基准电压, 读出所述选择的存储单元的数据的读出放大器;

所述基准单元的构造与所述存储单元的构造相同。

15. 根据权利要求 14 所述的半导体存储器件, 其特征在于:

所述位线开关设置在所述第一位线的单侧;

所述基准位线开关也设置在所述第一基准位线的单侧。

16. 根据权利要求 14 所述的半导体存储器件, 其特征在于:

所述位线开关设置在所述第一位线的单侧;

所述基准位线开关设置在所述第一基准位线的两侧。

17. 根据权利要求 15 所述的半导体存储器件, 其特征在于:

所述位线开关和所述基准位线开关由 N 型的 MISFET 构成。

18. 根据权利要求 15 所述的半导体存储器件, 其特征在于:

所述位线开关和所述基准位线开关由并联了 N 型的 MISFET 和 P 型的 MISFET 的传输门构成。

19. 根据权利要求 16 所述的半导体存储器件, 其特征在于:

所述位线开关和所述基准位线开关由 N 型的 MISFET 构成。

20. 根据权利要求 16 所述的半导体存储器件, 其特征在于:

所述位线开关和所述基准位线开关由并联了 N 型的 MISFET 和 P 型的 MISFET 的传输门构成。

21. 根据权利要求 14 所述的半导体存储器件, 其特征在于:

所述位线开关设置在所述第一位线的两侧, 其一方为 N 型 MISFET, 其另一方为 P 型 MISFET;

所述基准位线开关设置在所述第一基准位线的两侧, 其一方为 N 型 MISFET, 其另一方为 P 型 MISFET。

22. 根据权利要求 14 所述的半导体存储器件, 其特征在于:

由 1 个所述基准电压生成电路和至少一个所述读出放大器构成 1 个读出部件, 该读出部件沿着所述第一方向配置多个。

23. 根据权利要求 22 所述的半导体存储器件, 其特征在于:

还具有生成用于选择 1 个或多个所述读出放大器的列选择信号的列解码器;

由配置为矩阵状的所述存储单元构成 1 个单元阵列, 并且所述单元阵列划分为多个单元阵列块;

传递所述列选择信号的列选择线从所述列解码器连接在各读出部件上，该列选择线跨多个单元阵列块形成在所述第二布线层中。

24. 根据权利要求 22 所述的半导体存储器件，其特征在于：

还具有生成用于选择 1 个或多个所述读出放大器的列选择信号的列解码器；

在所述列解码器的一方一侧区域或两侧的区域中，与该列解码器相邻设置了所述读出部件；

传递所述列选择信号的列选择线不形成在所述单元阵列块上，从所述列解码器连接在所述读出放大器上。

## 半导体存储器件

### 技术领域

本发明涉及半导体存储器件，特别是涉及需要更新动作的动态型半导体存储器件。

### 背景技术

考虑到由一个晶体管和一个电容器（1T1C）形成一位的以往的动态存储单元很难微细化到  $0.1\mu\text{m}$  以下的设计标准。这是因为有必要把电容器的电容保持几乎一定，所以该构造变得越来越复杂。对于这样的状况，提出了通过在 SOI（绝缘体基硅）等上制作有浮置体的 MISFET（金属-绝缘体-硅场效应晶体管）的沟道体中存储多数载流子来存储信息的 FBC（浮置体晶体管单元）型的存储单元。例如在特愿 2001-245584（以下，称作专利文献 1）、特愿 2001-039122（以下，称作专利文献 2）和特愿 2001-220461（以下，称作专利文献 3）中描述了这样的 FBC 型存储单元。通过参照，纳入专利文献 1 到专利文献 3。专利文献 3 现在还未公开。

此外，专利文献 1 与美国专利申请公开第 2002/0051378 号对应，专利文献 2 与美国专利申请公开第 2002/0110018 号对应，专利文献 3 与美国申请编号 09/964851 号对应，通过参照，纳入它们。

下面，参照图 1~图 4，说明这样的存储单元 MC 的构造和工作原理。从这些图可知，存储单元 MC 把在 SOI 衬底上配置为矩阵状 MISFET 作为存储单元 MC 使用。在该图的例子中，SOI 衬底具有形成在 P 型半导体衬底 10 上的绝缘膜（例如氧化硅膜）14。在该绝缘膜 14 上形成有半导体层 16。

在该半导体层 16 上形成有漏极 20 和源极 22。漏极 20 连接在位线 BL 上，源极 22 连接在源线 SL 上，栅电极 24 构成字线 WL。此



外，漏极 20 和源极 22 之间成为电浮置状态，构成沟道体 28。在该沟道体 28 上，隔着栅绝缘膜 26 存在上述的栅电极 24。源线 SL 固定地保持 0V。

存储单元 MC 的漏极 20 和源极 22 由 N 型半导体区构成，沟道体 28 由 P 型半导体区构成。存储单元 MC 通过在该沟道体 28 中是否存储作为多数载流子的空穴来存储数据。以下，把在该沟道体 28 中存储有空穴的状态为“1”，把未存储空穴的状态为“0”。

为了在该沟道体 28 中存储多数载流子（这时为空穴），如图 1 所示，使该存储单元 MC 偏置为 5 极管（饱和）状态。具体而言，把连接在漏极 20 上的位线 BL 和连接在栅电极 24 上的字线 WL 设定为高电压。据此，引起冲击离子化，产生空穴电子对，并且把该空穴电子对中的空穴存储在沟道体 28 中。这是写入了数据“1”的状态。

与此相反，当写入数据“0”时，如图 2 所示，通过使位线 BL 为低电压，使沟道体 28 和漏极 20 或源极 22 间的 PN 结偏置为正，向位线 BL 一侧抽出存储的空穴而进行。

如图 3 所示，写入该存储单元 MC 中的数据读出是在漏极 20 上外加不破坏数据程度的电压，在线性区域使该存储单元 MC 工作。然后，利用由于存储在沟道体 28 中的空穴的数量不同，根据体效应，流过源极 22 和漏极 20 间的源漏间电流  $I_{ds}$  不同的性质，检测该源漏间电流  $I_{ds}$  的差，放大后读出数据。即如图 4 所示，即使外加相同的栅漏极间电压  $V_{gs}$  时，根据是否在沟道体 28 中存储着空穴，源漏间电流  $I_{ds}$  不同，检测该差，读出沟道体 28 是否存储着空穴，即存储单元 MC 是保持数据“1”或数据“0”。

该存储单元 MC 是由 SOI 衬底上的一个 MISFET 构成的增益单元，容易微细化到  $0.1\mu\text{m}$  以下。此外，该存储单元 MC 以非破坏进行读出，所以没必要象以往的使用了 1T1C 的存储单元 DRAM 那样，为各位线 BL 配置读出放大器。因此，用位线选择器（多路器）从多条位线 BL 选择一条，只对选择的位线 BL 配置读出放大器就可以了，能提高单元占有率。

图 5 和图 6 表示这样的读出放大器的配置的一个例子。图 5 是局部详细表示 FBC 的存储单元的单元阵列 100 的图，图 6 是表示该单元阵列 100 的全体布局的图。

如图 5 和图 6 所示，单元阵列 100 划分为多个单元阵列块 100B。在各单元阵列块 100B 之间设置有配置位线选择器的位线选择器配置区 120、配置读出放大器 SA 和基准电压生成电路 VG 的读出部件配置区 122。此外，在左右相邻的单元阵列块 100B 中公共设置了读出部件配置区 122。

此外，如图 5 所示，在两个读出放大器 SA 中公共设置了一个基准电压生成电路 VG。通过在上下方向连续配置图 5 所示的 32 条 ( $8 \times 2 + 8 \times 2$ ) 的位线 BL 和 1 条基准位线 RBL 为单位，构成图 6 所示的单元阵列块 100B。在单元阵列块 100B 的图中上方设置有行解码器和字线驱动器 130。此外，在单元阵列 100 的图中右侧设置有列解码器 140。

图 7 是表示读出放大器 SA 的结构图，图 8 是表示基准电压生成电路 VG 的电路结构的图，图 9 是表示位线选择器 BSTR 的电路结构的图。如图 7 所示，在该单元阵列 100 中，沿着图中横向设置有读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL。这些读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 从图 6 的列解码器 140 横切各单元阵列块 100B，公共输入到各读出放大器 SA 中。

如图 7 所示，对于 32 条位线 BL 和 1 条基准位线 RBL，设置有 2 条读出列选择信号线 RCSL、2 条写入列选择信号线 WCSL、一条基准单元更新列信号线 DWCSL，在字线方向设置多个，构成读出放大器 SA。

这里，读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 形成在第三层金属布线层中。顺便说一下，第一层金属布线在位线 BL 和读出部件配置区 122 的电路布线中使用，第二层金属布线在字线 WL 和读出部件配置区 122 的电路布

线中使用。

图 10 是说明图 7 所示的读出放大器 SA 和基准电压生成电路 VG 的动作的概念图。如图 10 所示, 对于 1 对基准位线 RBL, 通过 2 条基准字线 RWL 变为高电平, 同时选择写入两个彼此相反数据 (写入数据 “0” 和数据 “1”) 的基准单元。因此, 与数据 “1” 对应的单元电流  $I_1$  和与 “0” 对应的电流  $I_0$  的和流过基准位线 RBL。而且, 通过比较该电流  $I_0+I_1$ 、由电流比 2 的电流镜使流过存储单元 MC 的单元电流的变为 2 倍的电流 (即  $2 \times I_0$  或  $2 \times I_1$ ), 从存储单元 MC 读出数据。

此外, 图 11 表示特愿 2002-176931 (以下, 称作专利文献 4) 中描述的单元阵列 100 的结构。该专利文献 4 现在还未公开。通过参照, 纳入该专利文献 4。在该 11 的单元阵列 100 中, 不存在基准字线 RWL。而在通常的字线 WL 和 2 条基准位线 RBL 的交点位置设置有 2 个基准单元, 在该 2 个基准单元中预先写入彼此相反的数据。通过采用这样的结构, 通常的字线 WL 变为高电平, 2 个基准单元也同时活性化, 能取得电流  $I_0$  和  $I_1$  相加的电流。该读出原理与上述的图 10 同样, 通过把电流  $I_0+I_1$  与单元电流的 2 倍电流比较, 从存储单元 MC 读出数据。可是, 使用的基准单元自身由于变为高电平的字线 WL 而不同。

这样, 在存储单元 MC 中使用的半导体存储器件中, 能使读出放大器 SA 的数量比通常的 1T1C 单元的 DRAM 还少, 但是读出放大器 SA 的面积自身比通常的 DRAM 的还大。因此, 希望使半导体存储器件全体的读出放大器 SA 占的面积比例减小, 谋求进一步的缩小化。

此外, 如图 9 所示, 在选择位线 BL 的位线选择器 BSTR 中使用 N 型的 MISFET。因此, 当向位线 BL 提供高电压时, 选择的 MISFET 的栅电压 (图 9 中的信号  $BSL_n$  和信号  $RBSL$ ) 必须是在要提供给该位线 BL 的电压加上阈值电压  $V_{th}$  而取得的电压以上。并且, MISFET 的栅电压  $V_{th}$  由于衬底偏压效应而升高, 选择的



MISFET 的栅电压也与此对应而成为高电压。如果外加在 MISFET 上的电压升高, 则作用于 MISFET 的绝缘膜上的电场强度增大, 陷于由此引起的器件可靠性下降、耗电增大等不良状况。

### 附图说明

下面简要说明附图。

图 1 是说明在 FBC 型存储单元中写入数据 “1” 的原理的存储单元的剖视图。

图 2 是说明在 FBC 型存储单元中写入数据 “0” 的原理的存储单元的剖视图。

图 3 是说明在 FBC 型存储单元中读出数据的原理的存储单元的剖视图。

图 4 是使栅源间电压变化时, 流过保持数据 “0” 的存储单元的漏源间的电流和流过保持数据 “1” 的存储单元的漏源间的电流的差的曲线图。

图 5 是具有表示相邻的阵列块间共有读出放大器的双端型位线构造的单元阵列中的存储单元配置的图。

图 6 是表示与图 5 对应的单元阵列全体的布局的图。

图 7 是表示图 5 的读出放大器的结构的图。

图 8 是表示图 5 的基准电压生成电路的结构的图。

图 9 是表示图 5 的位线选择器的结构的图。

图 10 是说明图 5 的单元阵列的数据读出原理的图。

图 11 是表示其他构造的单元阵列的存储单元配置的图。

图 12 是表示实施例 1 的单元阵列全体布局的图。

图 13 是说明实施例 1 中的各存储单元、各字线、各第一位线、各第二位线、各第一基准位线、各第二基准位线、列选择线、位线选择器的配置的图。

图 14 是说明实施例 1 的与左右 2 个读出放大器和左右 2 个基准电压生成电路对应的第一布线层和第二布线层的构造的剖视图。



图 15 是表示实施例 1 的位线选择器的变形例的图，是与图 13 对应的图。

图 16 是表示实施例 2 的单元阵列全体布局的图。

图 17 是说明实施例 2 中的各存储单元、各字线、各第一位线、各第二位线、各第一基准位线、各第二基准位线、列选择线、位线选择器的配置的图。

图 18 是表示实施例 2 的位线选择器的变形例的图，是与图 17 对应的图。

图 19 是说明实施例 3 中的各存储单元、各字线、各第一位线、各第二位线、各第一基准位线、各第二基准位线、列选择线、位线选择器的配置的图。

图 20 是说明实施例 3 的与左右 2 个读出放大器和左右 2 个基准电压生成电路对应的第一布线层和第二布线层的构造的剖视图。

图 21 是表示实施例 3 的位线选择器的变形例的图，是与图 20 对应的图。

图 22 是说明实施例 4 中的各存储单元、各字线、各第一位线、各第二位线、各第一基准位线、各第二基准位线、列选择线、位线选择器的配置的图。

图 23 是表示实施例 4 的位线选择器的变形例的图，是与图 22 对应的图。

图 24 是表示实施例 5 的单元阵列全体布局的图。

图 25 是说明实施例 5 中的各存储单元、各字线、各第一位线、第二位线、各第一基准位线、第二基准位线、位线选择器的配置的图。

图 26 是说明实施例 5 的与 1 个读出放大器和 1 个基准电压生成电路对应的第一布线层和第二布线层的构造的剖视图。

图 27 是在实施例 5 中，在第二布线层中形成其他布线时的剖视图。

图 28 是表示实施例 5 的位线选择器的变形例的图，是与图 25

对应的图。

图 29 是说明实施例 6 中的各存储单元、各字线、各第一位线、第二位线、各第一基准位线、第二基准位线、位线选择器的配置的图。

图 30 是说明实施例 6 的与 1 个读出放大器和 1 个基准电压生成电路对应的第一布线层和第二布线层的构造的剖视图。

图 31 是表示实施例 6 的位线选择器的变形例的图，是与图 25 对应的图。

图 32 是说明实施例 7 中的各存储单元、各字线、各第一位线、第二位线、各第一基准位线、各第二基准位线、位线选择器的配置的图。

图 33 是表示实施例 7 的位线选择器的变形例的图，是与图 32 对应的图。

图 34 是表示实施例 8 的单元阵列全体布局的图。

图 35 是表示实施例 9 的单元阵列全体布局的图。

图 36 是说明实施例 9 中的各存储单元、各字线、各第一位线、第二位线、各第一基准位线、各第二基准位线、位线选择器的配置的图。

图 37 是用于说明实施例 9 中的与 1 个读出放大器和 1 个基准电压生成电路对应的第一布线层和第二布线层的单元阵列块 B2~B5 的剖视图。

图 38 是用于说明实施例 9 中的与 1 个读出放大器和 1 个基准电压生成电路对应的第一布线层和第二布线层的单元阵列块 B0、B1、B6、B7 的剖视图。

图 39 是表示实施例 10 的单元阵列全体布局的图。

图 40 是说明实施例 10 中的各存储单元、各字线、各第一位线、第二位线、各第一基准位线、第二基准位线、位线选择器的配置的图。

图 41 是用于说明实施例 10 的变形例的单元阵列全体布局的

图。

图 42 是表示在实施例 1 中, 对 1 条基准位线设置了 4 个基准单元时的单元阵列结构的图。

图 43 是表示在实施例 1 中, 对各字线设置了 8 个基准单元时的单元阵列结构的图。

### 具体实施方式

#### [实施例 1]

通常的 1T1C 的 DRAM 单元时, 为了成为破坏型的读出, 连接在起动了的字线上的所有存储单元有必要连接在读出放大器上, 检测信号并放大, 再写入。因此, 如果要用通常的 1T1C 的 DRAM 把位线分级, 就有必要以与第一层相同的间隔配置第二层的位线, 连接在第一层的位线上。

而当用 FBC 构成了存储单元 MC 时, 因为读出为非破坏的, 所以只把实际进行读出的存储单元 MC 连接在读出放大器上就可以了。因此, 第二层的位线以读出放大器为单位存在就可以了, 能以比第一层的位线宽很多的间隔布线。

把列解码器公共化为多个单元阵列块, 集中配置在一个地方, 在第三层的金属布线层中, 使列选择线 (RCSL、WCSL 和 DWCSL) 通过单元阵列时, 因为这些列选择线的间隔也比较宽, 所以通过用和它们同一层的第三层金属布线对第二层位线布线, 布线层的数量不会比此前的增加, 具有能把布线分层的优点。下面, 将更详细说明。

图 12 是表示实施例 1 的单元阵列 100 的全体布局的图。图 13 是表示与图 12 的单元阵列 100 的左右 2 个读出放大器 SA 和左右两个基准电压生成电路 VG 对应的位线选择器 200 的结构图。图 14 为本实施例的半导体存储器件的局部剖视图, 与图 13 对应是表示连接在左右 2 个读出放大器 SA 上的第二位线、连接在左右两个基准电压生成电路 VG 上的第二基准位线、与它对应的列选择线、与它们对应

设置的 8 条第一位线、1 条第一基准位线的图。

如图 12 所示, 本实施例的单元阵列 100 是多个存储单元 MC 配置为矩阵状而构成的, 并且划分为 8 个单元阵列块 B0~B7。而且, 单元阵列 100 具有 1 个列解码器 140、6 系统的读出放大器 SA 和基准电压生成电路 VG。即设置有 6 个读出部件配置区 250。

在本实施例中, 列解码器 140 集中配置在 8 个单元阵列块 B0~B7 的中央部分。即在列解码器 140 的左侧设置由 4 个单元阵列块 B0~B3, 在列解码器 140 的右侧配置有 4 个单元阵列块 B4~B7。

列解码器 140 根据列地址信号, 选择 1 列的列地址, 向列选择线 (读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL) 发送列选择信号 (读出列选择信号、写入列选择信号、基准单元更新列选择信号)。该列选择线 RCSL、WCSL、DWCSL 分别输入到各读出放大器 SA, 把来自列解码器 140 的列选择信号传递给各读出放大器 SA。

对于 4 个单元阵列块, 以 3 个的比例设置各读出部件配置区 250。而且, 本实施例的存储单元阵列 100 采用图 5 所示的双端型位线配置。

如图 14 所示, 在本实施例的半导体存储器件中配置有: 形成在第一布线层 210 中的第一位线 1BL 和第一基准位线 1RBL、形成在第二布线层 220 中的第二位线 2BL1 和 2BL2、第二基准位线 2RBL1、2RBL2。第一布线层 210 是位于形成了 FBC 型存储单元 MC 的半导体衬底 230 的上方的一层。此外, 第二布线层 220 是形成在第一布线层 210 的上方的一层。第一布线层 210 没必要是直接形成在半导体衬底 230 上的第一层, 可以是形成在半导体衬底 230 上的第 x 层。此外, 第二布线层 220 没必要是直接形成在第一布线层 210 上的第 x+1 层, 可以是形成在第一布线层 210 的上方的第 y 层 ( $y > x$ )。

此外, 在本实施例中, 在第二布线层 220 中形成有列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL。



如图 13 所示, 在本实施例的单元阵列 100 中, 在各单元阵列块中并行设置有多条字线 WL。在本实施例中, 1 个单元阵列块中设置有 256 条字线 WL (WL0~WL255)。后面将详细描述, 但是当访问存储单元 MC 时, 通过行解码器和字线驱动器 130, 对两个单元阵列块选择 1 条字线 WL, 并激活。

在字线 WL 和第一位线 1BL 的交点位置设置有存储单元 MC。更具体而言, 字线 WL 连接在排列在字线方向上的存储单元 MC 的栅电极上。此外, 第一位线 1BL 连接在排列在位线方向上的存储单元 MC 的漏极上。

在图 13 的例子中, 当着眼于 1 个单元阵列块时, 对一个读出放大器 SA 设置有四条第一位线 1BL。即对于右侧的读出放大器 SA 设置有 4 条第一位线 1BL, 对于左侧的读出放大器 SA 设置有 4 条第一位线 1BL。这 8 条第一位线 1BL 通过交替左右设置的 N 型 MISFET TrN 连接在第二位线 2BL1 或 2BL2 上。

在连接在第一位线 1BL 上的 MISFET TrN 的栅电极上输入位线选择信号 BSL0~BSL15, 根据这些位线选择信号 BSL0~BSL15, 1 条第一位线 1BL 连接在第二位线 2BL1 上, 1 条第一位线 1BL 连接在第二位线 2BL2 上。具体而言, 位线选择信号 BSL0~BSL7 的任意一个变为高电平, 1 条第一位线 1BL 连接在 1 条第二位线 2BL1 上。此外, 位线选择信号 BSL8~BSL15 的任意一个变为高电平, 1 条第一位线 1BL 连接在 1 条第二位线 2BL2 上。

如图 12 所示, 第二位线 2BL1 输入到左侧的读出放大器 SA 中, 第二位线 2BL2 输入到右侧的读出放大器 SA 中。因此, 流过第二位线 2BL1 的单元电流由左侧的读出放大器 SA 读出, 读出数据, 流过第二位线 2BL2 的单元电流由右侧的读出放大器 SA 读出, 读出数据。

如图 13 所示, 在各单元阵列块的右侧, 与字线 WL 并行设置有第一基准字线 RWL0 和第二基准字线 RWL1 各 1 条, 在其左侧, 与字线 WL 并行设置有第一基准字线 RWL0 和第二基准字线 RWL1

各 1 条。而且，在这些第一基准字线 RWL0 和第一基准位线 1RBL 的交点位置、第二基准字线 RWL1 和第一基准位线 1RBL 的交点位置设置有基准单元。具体而言，在位线方向延伸的 1 条第一基准位线 1RBL 上连接着用于保持数据"0"的基准单元 RC0 的源极和用于保持数据"1"的基准单元 RC1 的源极。此外，基准单元 RC0 的栅电极连接在第一基准字线 RWL0 上，基准单元 RC1 的栅电极连接在第二基准字线 RWL1 上。

即在本实施例中，2 个基准单元 RC0、RC1 连接在 1 条第一基准位线 1RBL 上。该基准单元 RC0、RC1 的构造与存储单元 MC 的构造相同。

这些第一基准位线 1RBL 通过 N 型 MISFET TrN 连接在第二基准位线 2RBL1 或第二基准位线 2RBL2 上。在连接在该第一基准位线 1RBL 上的 MISFET TrN 的栅电极输入了基准位线选择信号 RBSL0~RBSL3。因此，基准位线选择信号 RBSL0、RBSL1 的任意一个变为高电平，1 条第一基准位线 1RBL 连接在 1 条第二基准位线 2RBL1 上，基准位线选择信号 RBSL2、RBSL3 的任意一个变为高电平，1 条第一基准位线 1RBL 连接在 1 条第二基准位线 2RBL2 上。

如图 12 所示，第二基准位线 2RBL1 输入到左侧的基准电压生成电路 VG 中，第二基准位线 2RBL2 输入到右侧的基准电压生成电路 VG 中。因此，流过第二基准位线 2RBL1、2RBL2 的电流  $I_0+I_1$  输入到左右的基准电压生成电路 VG 中，在基准电压 VREF 的生成中使用。各基准电压生成电路 VG 的结构与上述的图 8 同样。

如图 12 和图 13 所示，从列解码器 140，读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 沿着位线方向延伸。这些读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 公共输入到各读出放大器 SA 中。各读出放大器 SA 的结构与图 7 同样。

须指出的是，与图 5 所示同样，在本实施例中，由两个读出放大器 SA 公共使用基准电压生成电路 VG。因此，实际上在图 13 中，

以第一基准位线 1RBL 和第二基准位线 2RBL1、2RBL2 为中心，对称地设置有第一基准位线 1RBL 和第二基准位线 2RBL1、2RBL2、列选择信号线等各布线。而且，把两个读出放大器 SA 和 1 个基准电压生成电路 VG 作为一个读出部件，该部件在读出部件配置区 250 内，在字线方向配置了多个。这点在后面描述的实施例中也是同样的。

下面，说明本实施例的半导体存储器件的读出动作。如图 12 所示，列解码器 140 根据输入的列地址，使左右一对读出列选择信号线 RCSL 为高电平。据此，在左侧选择了三个、右侧选择了 3 个读出放大器 SA。即如图 7 所示，通过读出列选择信号线 RCSL 变为高电平，位于该列的读出放大器 SA 的 MISFET Tr100、Tr102 变为导通。

而如图 12 所示，行解码器和字线驱动器 130 根据输入的行地址，在各单元阵列块 B0~B7 中，对每两个单元阵列块，选择 1 条字线 WL，变为高电平。即如图 13 所示，从位于两个单元阵列块的字线 WL 中，使 1 条字线 WL 为高电平。例如在图 13 中，在单元阵列块 B0、B1 中，变为高电平的字线 WL 为 1 条。

此外，与此同时，位线选择器 200 在 2 个单元阵列块中，把 1 条第一位线 1BL 连接在第二位线 2BL1 上。据此，与位于变为高电平的字线 WL 与两条第一位线 1BL、1BL 的交点位置的存储单元 MC 保持的数据相应的读出电流 I0 或 I1 流向第二位线 2BL1、2BL2。该读出电流分别输入到读出放大器 SA 中。

行解码器和字线驱动器 130 使与字线 WL 同时变为高电平的字线 WL 存在的单元阵列块内的 2 条基准字线 RWL0 和 2 条 RWL1 为高电平。此外，位线选择器 200 把位于变为高电平的字线 WL 存在的单元阵列块内的第一基准位线 1RBL 分别连接在第二基准位线 2RBL1、2RBL2 上。因此，在具有激活的读出放大器 SA 的读出部件的基准电压生成电路 VG 中，输入成为基准的电流 I0+I1。

如图 8 所示，基准电压生成电路 VG 具有运算放大器 OP1、N



型的 MISFET Tr110、Tr112、P 型的 MISFET Tr120、Tr122、Tr124。从图 8 和图 10 可知，成为基准的电流  $I_0+I_1$  通过 MISFET Tr122、Tr110，流过基准单元 RC0、RC1。该基准电流  $I_0+I_1$  流通过与 MISFET Tr122 电流镜连接的 Tr120，通过 MISFET Tr112，作为基准电压 VREF 输出。

如图 7 所示，从基准电压生成电路 VG 输出的基准电压 VREF 输入到读出放大器 SA 的运算放大器 OP2 中。在该读出放大器 SA 中，与选择的存储单元 MC 保持的数据相应的电流  $I_0$  或  $I_1$  通过 N 型的 MISFET Tr130 和 P 型的 MISFET Tr132 流动。MISFET Tr132 以 2 倍的密勒比，按电流镜方式连接在 P 型的 MISFET Tr134 上。该读出电流的 2 倍电流流过 MISFET Tr134。该读出电流通过 MISFET Tr136，成为读出电压  $VREF \pm \alpha$ ，输入到运算放大器 OP2 中。在运算放大器 OP2 中，比较基准电压 VREF 和读出电压  $VREF \pm \alpha$ ，判别数据。判别的数据通过锁存电路 LT，通过数据线 Q、BQ 输出。

须指出的是，在写入动作时，如图 7 所示，写入列选择信号线 WCSL 变为高电平，MISFET Tr104 变为导通。因此，数据线 D 的数据写入选择的存储单元 MC 中。此外，在更新动作时，反写信号 WB 变为高电平，保持在锁存电路 LT 中的数据通过 MISFET Tr106，反写到选择的存储单元中。当更新基准单元 RC0、RC1 时，基准单元更新列信号线 DWCSL 变为高电平，MISFET Tr108 变为导通。因此，应该反写到基准单元 RC0 中的数据即数据“0”通过数据线 D 写入基准单元 RC0 中，应该反写到基准单元 RC1 中的数据即数据“1”通过数据线 D 写入基准单元 RC1 中。

如上所述，根据本实施例的半导体存储器件，因为在两个单元阵列块中公共使用 1 个读出放大器 SA，所以能削减该半导体存储器件全体的读出放大器 SA 的数量，能缩小它的占有面积。因此，在本实施例中，形成连接在各存储单元 MC 上的第一位线 1BL，通过位线选择器 200 选择多条第一位线 1BL 中的 1 条，连接在 1 条第二位



线 2BL1、2BL2 上。而且，把该第二位线 2BL1、2BL2 分别连接在读出放大器 SA 上。因此，例如，在图 13 中，能使单元阵列块 B0 和单元阵列块 B1 的读出放大器 SA 公共化，能使单元阵列块 B2 和单元阵列块 B3 的读出放大器 SA 公共化。

同样，因为在 2 个单元阵列块中公共使用 1 个基准电压生成电路 VG，所以能削减该半导体存储器件全体的基准电压生成电路 VG 的数量，能缩小占有面积。因此，在本实施例中，形成连接在个基准单元 RC0、RC1 上的第一基准位线 1RBL，通过位线选择器 200 选择多条第一基准位线 1RBL 中的一条，连接在 1 条第二基准位线 2RBL1、2RBL2 上。例如，在图 12 中，能使单元阵列块 B0 和单元阵列块 B1 的基准电压生成电路 VG 公共化，能使单元阵列块 B2 和单元阵列块 B3 的基准电压生成电路 VG 公共化。

并且，在第一布线层 210 中形成第一位线 1BL，在第二布线层 220 中形成第二位线 2BL1、2BL2，所以当把第二位线 2BL1、2BL2 布线到读出放大器 SA 时，能防止单元面积增大。此外，在第一布线层 210 中形成第一基准位线 1RBL，在第二布线层 220 中形成第二基准位线 2RBL1、2RBL2，所以在把第二基准位线 2RBL1、2RBL2 布线到基准电压生成电路 VG 时，能防止单元面积增大。

并且，在第二布线层 220 中，与第二位线 2BL1、2BL2、第二基准位线 2RBL1、2RBL2 一起，形成了列选择线（读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL），所以能避免布线层数量的增加。

图 15 是表示本实施例的位线选择器 200 的变形例的图，是与上述的图 13 对应的图。如图 15 所示，在该变形例中，作为构成位线选择器 200 的各开关电路，代替图 13 的 N 型的 MISFET TrN，使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中，与图 13 同样，在其栅电极中输入位线选择信号 BSL0~BSL15 和基准位线选择信号 RBSL0~RBSL3，但是在 P 型 MISFET 中，输入使它们反转的位线选择信号 /BSL0~/BSL15

和基准位线选择信号/RBSL0~/RBSL3。

在上述的图 13 中，在 N 型 MISFET TrN 的栅电极输入了位线选择信号 BSL0~BSL14H 和基准位线选择信号 RBSL0~RBSL3，但是该开关电路是 N 型 MISFET，所以必须比应该提供给第一位线 1BL 和第一基准位线 1RBL 的电压还高阈值电压  $V_{th}$  以上。

而在图 15 的位线选择器 200 中，开关电路由传输门 TG 构成，所以位线选择信号 BSL0~BSL15 和基准位线选择信号 RBSL0~RBSL3 的高电平的电压、位线选择信号/BSL0~/BSL15 和基准位线选择信号/RBSL0~/RBSL3 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL 的电压为相同电压。因此，能有助于半导体存储器件内使用的电压的低电压化。据此，不但减轻了半导体存储器件内的外围电路的耐压问题，而且，该半导体存储器件的耗电也能下降。

#### [实施例 2]

实施例 2 使第二位线 2BL1、2BL2 和第二基准位线 2RBL1、2RBL2 比实施例 1 还长，进一步减少读出放大器 SA 和基准电压生成电路 VG 的数量。

图 16 是表示实施例 2 的单元阵列 100 的全体布局图。图 17 是表示与左右两个读出放大器 SA 和左右两个基准电压生成电路 VG 对应的位线选择器 300 的结构图，是表示单元阵列块 B0~B3 的位线选择器 300 的结构图。须指出的是，本实施例中的第一布线层 210 和第二布线层 220 的剖视图与上述的图 14 同样。

如图 16 所示，本实施例的单元阵列 100 也划分为 8 个单元阵列块 B0~B7。而且，单元阵列 100 具有 1 个列解码器 140 和 4 系统的读出放大器 SA 和基准电压生成电路 VG。即在本实施例的单元阵列 100 中设置有 4 个读出部件配置区 350。

在本实施例中，对于 4 个单元阵列块以 2 个的比例设置了读出部件配置区 350。而且，本实施例的存储单元阵列 100 也采用图 5 所示的双端型位线配置。

如图 17 所示, 第一位线 1BL 在各单元阵列块中, 连接在位线方向上排列的存储单元 MC 的漏极上。这些第一位线 1BL 通过交替左右设置的 N 型 MISFET TrN 连接在第二位线 2BL1 或第二位线 2BL2 上。

在连接在第一位线 1BL 上的 MISFET TrN 的栅电极上输入位线选择信号 BSL0~BSL31, 根据这些位线选择信号 BSL0~BSL31, 1 条第一位线 1BL 连接在第二位线 2BL1 上, 1 条第一位线 1BL 连接在第二位线 2BL2 上。具体而言, 位线选择信号 BSL0~BSL15 的任意一个变为高电平, 1 条第一位线 1BL 连接在 1 条第二位线 2BL1 上。此外, 位线选择信号 BSL16~BSL31 的任意一个变为高电平, 1 条第一位线 1BL 连接在 1 条第二位线 2BL2 上。

如图 16 所示, 跨 4 个单元阵列块形成第二位线 2BL1, 输入到左侧的读出放大器 SA 中。此外, 跨 4 个单元阵列块形成第二位线 2BL2, 输入到右侧的读出放大器 SA 中。因此, 流过第二位线 2BL1、2BL2 的单元电流由左右的读出放大器 SA 读出, 读出数据。

如图 17 所示, 在各单元阵列块内在位线方向延伸的第一基准位线 1RBL 通过 N 型的 MISFET TrN 连接在第二基准位线 2RBL1 或第二基准位线 2RBL2 上。在连接在该第一基准位线 1RBL 上的 MISFET TrN 的栅电极上输入基准位线选择信号 RBSL0~RBSL7。因此, 基准位线选择信号 RBSL0~RBSL3 的任意一个变为高电平, 1 条第一基准位线 1RBL 连接在 1 条第二基准位线 2RBL1 上, 基准位线选择信号 RBSL4~RBSL7 的任意一个变为高电平, 1 条第一基准位线 1RBL 连接在 1 条第二基准位线 2RBL2 上。

如图 16 所示, 跨 4 个单元阵列块形成第二基准位线 2RBL1, 输入到左侧的基准电压生成电路 VG 中。此外, 跨 4 个单元阵列块形成第二基准位线 2RBL2, 输入到右侧的基准电压生成电路 VG 中。因此, 流过第二基准位线 2RBL1、2RBL2 的基准电流输入到左右的基准电压生成电路 VG 中, 在基准电压 VREF 的生成中使用。在本实施例中, 这样的部件以 4 个单元阵列块为单位, 在字线方向配置多个。



各基准电压生成电路 VG 的结构与上述的图 8 同样。

如图 16 所示, 从列解码器 140, 读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 在左右延伸。这些读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 公共输入到各读出放大器 SA 中。各读出放大器 SA 的结构与图 7 同样。

本实施例的半导体存储器件的读出动作、写入动作、更新动作除了以 4 个单元阵列块 (B0~B3、B4~B7) 单位进行以外, 与上述的实施例 1 是同样的。即在读出动作中, 行解码器和字线驱动器 130 在 4 个单元阵列块 (B0~B3、B4~B7) 中使 1 条字线 WL 为高电平。位线选择器 300 在 4 个单元阵列块 (B0~B3、B4~B7) 中选择 1 条第一位线 1BL, 连接在第二位线 2BL1 上, 此外, 选择 1 条第一位线 1BL, 连接在第二位线 2BL2 上。

如上所述, 根据本实施例的半导体存储器件, 能比上述的实施例 1 进一步削减该半导体存储器件的读出放大器 SA 数量和基准电压生成电路 VG 的数量。因此, 在本实施例中, 形成了跨四个单元阵列块的第二位线 2BL1、2BL2、第二基准位线 2RBL1、2RBL2。因此, 例如在图 17 中, 能使单元阵列块 B0~B3 的读出放大器 SA 公共化。此外, 能使单元阵列块 B0~B3 的基准电压生成电路 VG 公共化。

图 18 是表示本实施例的位线选择器 300 的变形例的图, 是与上述的图 17 对应的图。如图 18 所示, 在该变形例中, 作为开关电路, 代替图 17 的 N 型的 MISFET TrN, 使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中, 与图 17 同样, 在其栅电极中输入位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL7, 但是在 P 型 MISFET 中, 输入使它们反转的位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL7。

据此, 与实施例 1 中所描述的同样, 位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL7 的高电平的电



压、位线选择信号 /BSL0~ /BSL31 和基准位线选择信号 /RBSL0~ /RBSL7 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL 的电压为相同电压。因此，能有助于半导体存储器件内使用的电压的低电压化。据此，不但减轻了半导体存储器件内的外围电路的耐压问题，而且，该半导体存储器件的耗电也能下降。

### [实施例 3]

上述的实施例 1 是在图 12 所示的单元阵列 100 的布局中，用图 5 的读出原理读出存储单元 MC 的数据，但是本实施例 3 是图 12 所示的单元阵列 100 的布局中，用图 11 的读出原理读出存储单元 MC 的数据。

图 19 是表示本实施例的与左右 2 个读出放大器 SA 和左右 2 个基准电压生成电路 VG 对应的位线选择器 200 的结构图，图 20 是本实施例的半导体存储器件的局部剖视图。须指出的是，本实施例的单元阵列 100 的全体布局与图 12 同样。

如图 20 所示，本实施例的半导体存储器件在第一布线层 210 上除了 8 条第一位线 1BL 还形成了 4 条第一基准位线 1RBL1~1RBL4 的点与上述的实施例 1 不同。

此外，如图 19 所示，在本实施例的单元阵列 100 中，在个字线 WL 和第一基准位线 1RBL1~1RBL4 的交点位置设置有基准单元。具体而言，在各字线 WL 上连接着 4 个基准单元。具体而言，4 个基准单元 RC0、RC0、RC1、RC1 的栅电极连接在各字线 WL 上。图 19 以 1 条字线 WL 为代表进行显示，但是实际上，多条字线 WL 配置在 1 各单元阵列块内。例如，在本实施例中，与图 11 同样，256 条字线 WL 设置在 1 各单元阵列块内。

如果通过设置在各种的行解码器和字线驱动器 130，选择了 1 条字线并驱动，就驱动了 4 个基准单元 RC0、RC0、RC1、RC1。基准单元 RC0、RC0 是存储数据"0"的单元，基准单元 RC1、RC1 是存储数据"1"的单元。

第一基准位线 1RBL1 公共连接在各字线上设置的在位线方向上

排列的一方的基准单元 RC0 的漏极上。而且，该第一基准位线 1RBL1 通过设置在位线选择器 200 上的 MISFET TrN 连接在第二基准位线 2RBL1 上。第一基准位线 1RBL2 公共连接在各字线上设置的在位线方向上排列的另一方的基准单元 RC0 的漏极上。而且，该第一基准位线 1RBL2 通过设置在位线选择器 200 上的 MISFET TrN 连接在第二基准位线 2RBL2 上。

第一基准位线 1RBL3 公共连接在各字线上设置的在位线方向上排列的一方的基准单元 RC1 的漏极上。而且，该第一基准位线 1RBL3 通过设置在位线选择器 200 上的 MISFET TrN 连接在第二基准位线 2RBL1 上。第一基准位线 1RBL4 公共连接在各字线上设置的在位线方向上排列的另一方的基准单元 RC1 的漏极上。而且，该第一基准位线 1RBL4 通过设置在位线选择器 200 上的 MISFET TrN 连接在第二基准位线 2RBL2 上。

在本实施例中，跨 2 个单元阵列块形成第二基准位线 2RBL1、2RBL2，第二基准位线 2RBL1 输入到左侧的基准电压生成电路 VG 中，第二基准位线 2RBL2 输入到右侧的基准电压生成电路 VG 中。

在连接在第一基准位线 1RBL1~1RBL4 上的 N 型 MISFET TrN 的栅电极上输入基准位线选择信号 RBSL0~RBSL7。而且，根据该基准位线选择信号 RBSL0~RBSL7，1 组的第一基准位线 1RBL1、1RBL3 连接在 1 条第二基准位线 2RBL1 上，1 组的第一基准位线 1RBL2、1RBL4 连接在 1 条第二基准位线 2RBL2 上。

具体而言，1 组的基准位线选择信号 RBSL0、RBSL1 或 1 组的基准位线选择信号 RBSL2、RBSL3 变为高电平，与数据"0"对应的电流  $I_0$  和与数据"1"对应的电流  $I_1$  相加的电流  $I_0+I_1$  流过第二基准位线 2RBL1。而且，该电流  $I_0+I_1$  输入到左侧的基准电压生成电路 VG 中，生成基准电压 VREF。

此外，与此同时，1 组的基准位线选择信号 RBSL4、RBSL5 或 1 组的基准位线选择信号 RBSL6、RBSL7 变为高电平，与数据"0"对应的电流  $I_0$  和与数据"1"对应的电流  $I_1$  相加的电流  $I_0+I_1$  流过第二

基准位线 2RBL2。而且，该电流  $I_0+I_1$  输入到右侧的基准电压生成电路 VG 中，生成基准电压 VREF。

须指出的是，本实施例的半导体存储器件的读出动作、写入动作、更新动作与上述的实施例 1 是同样的。

如上所述，在本实施例的半导体存储器件中，与上述的实施例 1 同样，因为在 2 个单元阵列块中公共使用 1 个读出放大器 SA 和基准电压生成电路 VG，所以能削减该半导体存储器件全体的读出放大器 SA 的数量和基准电压生成电路 VG 的数量。

并且，能把读出的存储单元 MC 和该读出动作时使用的基准单元 RC0、RC1 间的距离限制在给定范围内。因此，能使制造工艺引起的单元特性偏移和使用温度条件引起的单元特性的偏移具有同一倾向。结果，能把这些偏移作为同相噪声，以高精度进行补偿。此外，在读出动作时，只激活 1 条通常的字线 WL 就可以了，所以能实现读出动作时的耗电的降低。

图 21 是表示本实施例的位线选择器 200 的变形例的图，是与上述的图 19 对应的图。如图 21 所示，在该变形例中，作为构成位线选择器 200 的开关电路，代替图 10 的 N 型 MISFET TrN，使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中，与图 19 同样，在其栅电极中输入位线选择信号 BSL0~BSL15 和基准位线选择信号 RBSL0~RBSL7，但是在 P 型 MISFET 中，输入使它们反转的位线选择信号 /BSL0~/BSL15 和基准位线选择信号 /RBSL0~/RBSL7。

据此，与实施例 1 中所描述的同样，位线选择信号 BSL0~BSL15 和基准位线选择信号 RBSL0~RBSL7 的高电平的电压、位线选择信号 /BSL0~/BSL15 和基准位线选择信号 /RBSL0~/RBSL7 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL1~1RBL4 的电压为相同电压。因此，能有助于半导体存储器件内使用的电压的低电压化。据此，不但减轻了半导体存储器件内的外围电路的耐压问题，而且，该半导体存储器件的耗电也能



下降。

#### [实施例 4]

上述的实施例 2 是在图 16 所示的单元阵列 100 的布局中，用图 5 的读出原理读出存储单元 MC 的数据，但是本实施例 4 是图 16 所示的单元阵列 100 的布局中，用图 11 的读出原理读出存储单元 MC 的数据。

图 22 是表示本实施例的与左右 2 个读出放大器 SA 和左右 2 个基准电压生成电路 VG 对应的位线选择器 300 的结构图。须指出的是，本实施例的半导体存储器件的第一布线层 210 和第二布线层 220 的剖视图与图 20 同样，本实施例的单元阵列 100 的全体布局与图 16 同样。

本实施例 4 中，第二位线 2BL1、2BL2、第二基准位线 2RBL1、2RBL2 比实施例 3 还长，使读出放大器 SA 的数量和基准电压生成电路 VG 的数量进一步减少。

在本实施例中，与实施例 2 同样，对于 4 个单元阵列块以 2 个的比例设置了读出放大器 SA 和基准电压生成电路 VG。而且，本实施例的存储单元阵列 100 采用图 5 所示的双端型位线配置。

如图 22 和图 16 所示，跨 4 个单元阵列块形成第二位线 2BL1，输入到左侧的读出放大器 SA 中。此外，跨 4 个单元阵列块形成第二位线 2BL2，输入到右侧的读出放大器 SA 中。因此，流过第二位线 2BL1、2BL2 的电流由左右的读出放大器 SA 读出，读出数据。

如图 22 所示，在各单元阵列块内在位线方向延伸的第一基准位线 1RBL1~1RBL4 通过 N 型的 MISFET TrN 连接在第二基准位线 2RBL1 或第二基准位线 2RBL2 上。在连接在该第一基准位线 1RBL1~1RBL4 上的 MISFET TrN 的栅电极上输入基准位线选择信号 RBSL0~RBSL15。因此，基准位线选择信号 RBSL0、RBSL1、基准位线选择信号 RBSL2、RBSL3、基准位线选择信号 RBSL4、RBSL5、基准位线选择信号 RBSL6、RBSL7 中的任意一组变为高电平，1 组第一基准位线（例如，1RBL1、1RBL3）连接在 1 条第二基



准位线 2RBL1 上。此外，基准位线选择信号 RBSL8、RBSL9、基准位线选择信号 RBSL10、RBSL11、基准位线选择信号 RBSL12、RBSL13、基准位线选择信号 RBSL14、RBSL15 中的任意一组变为高电平，1 组第一基准位线（例如，1RBL2、1RBL4）连接在 1 条第二基准位线 2RBL2 上。

跨 4 个单元阵列块形成第二基准位线 2RBL1，输入到左侧的基准电压生成电路 VG 中。此外，跨 4 个单元阵列块形成第二基准位线 2RBL2，输入到右侧的基准电压生成电路 VG 中。因此，流过第二基准位线 2RBL1、2RBL2 的电流  $I_0+I_1$  输入到左右的基准电压生成电路 VG 中，在基准电压 VREF 的生成中使用。在本实施例中，这样的部件以 4 个单元阵列块为单位，在字线方向配置多个。

须指出的是，本实施例的半导体存储器件的读出动作、写入动作、更新动作与上述的实施例 2 是同样的。

如上所述，根据本实施例的半导体存储器件，与上述的实施例 3 相比，能进一步削减该半导体存储器件全体的读出放大器 SA 的数量和基准电压生成电路 VG 的数量。

图 23 是表示本实施例的位线选择器 300 的变形例的图，是与上述的图 22 对应的图。如图 23 所示，在该变形例中，作为构成位线选择器 300 的各开关电路，代替图 22 的 N 型的 MISFET TrN，使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中，与图 22 同样，在其栅电极中输入位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL15，但是在 P 型 MISFET 中，输入使它们反转的位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL15。

据此，与实施例 1 中所描述的同样，位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL15 的高电平的电压、位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL15 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL1~1RBL4 的电压为相同电压。因此，能有助于半

导体存储器件内使用的电压的低电压化。据此，不但减轻了半导体存储器件内的外围电路的耐压问题，而且，该半导体存储器件的耗电也能下降。

#### [实施例 5]

在上述的实施例 1~实施例 4 中，如图 12~图 16 所示，在单元阵列 100 的中央部分配置列解码器 140，在由列解码器 140 而分割为二的单元阵列 100 的单侧，至少在其两端配置了读出部件配置区 250、350。因此，在单元阵列 100 的左右两侧配置有读出放大器 SA 和基准电压生成电路 VG，在读出放大器 SA 上有必要连接来自列解码器 140 的列选择线（读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL），所以有必要在单元阵列 100 的位线方向设置该列选择线。

因此，在实施例 5 中，通过采用能把读出部件配置区在同一地方单一化的配置，就没必要使列选择线通过单元阵列 100 上。以下详细加以说明。

图 24 是表示实施例 5 的单元阵列 100 的全体布局的图，图 25 是表示与图 24 的单元阵列 100 中的 1 个读出放大器 SA 和 1 个基准电压生成电路 VG 对应的位线选择器 400 的结构图，图 26 是本实施例的半导体存储器件的局部剖视图。

从这些图可知，在本实施例中，未设置通过单元阵列 100 上的列选择线 RCSL、WCSL、DWCSL。此外，如图 24 所示，与列解码器 140 的两侧相邻，设置有配置读出放大器 SA 和基准电压生成电路 VG 的区域即读出部件配置区 450。因此，来自列解码器 140 的读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL 直接输入到位于相邻的读出部件配置区 450 中的读出放大器 SA。因此，本实施例的单元阵列 100 是单端型，对于 4 个单元阵列块以 1 个的比例设置读出放大器 SA 和基准电压生成电路 VG。

因此，如图 26 所示，在第二布线层 220 中不形成读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线

DWCSL, 只形成第二位线 2BL 和第二基准位线 2RBL。

如图 25 所示, 本实施例的存储单元 MC 和基准单元 RC0、RC1 的配置与上述的实施例 3 和实施例 4 是同样的。即用图 11 所示的读出原理读出存储单元 MC 的数据。

此外, 如图 25 所示, 形成在第一布线层 210 中的第一位线 1BL 输入每隔 1 条交替输入到左右的位线选择器 400 中。而形成在第二布线层 220 中的第二位线 2BL 输入到设置在单侧的读出放大器 SA 中。同样, 形成在第一布线层 210 中的第一基准位线 1RBL1~1RBL4 每隔 1 条输入到左右的位线选择器 400 中。而形成在第二布线层 220 中的第二位线 2BL 输入到设置在单侧的基准电压生成电路 VG 中。

在各单元阵列块内在位线方向延伸的第一位线 1BL 分别通过 N 型 MISFET 连接到第二位线 2BL 上。在连接在该第二位线 2BL 上的开关电路的 MISFET 的栅电极上输入位线选择信号 BSL0~BSL31, 通过这些位线选择信号 BSL0~BSL31 中的任意一个变为高电平, 把 1 条第一位线 1BL 连接在 1 条第二位线 2BL 上。

跨 4 个单元阵列块形成第二位线 2BL, 输入到与列解码器 140 相邻设置的读出放大器 SA 中。因此, 流过第二位线 2BL 的单元电流由读出放大器 SA 读出, 读出了数据。

在各单元阵列块内在位线方向延伸的第一基准位线 1RBL1~1RBL4 通过 N 型 MISFET TrN 连接在第二基准位线 2RBL 上。在连接在该第一基准位线 1RBL1~1RBL4 上的 MISFET TrN 的栅电极上输入基准位线选择信号 RBSL0~RBSL15。因此, 基准位线选择信号 RBSL0、RBSL1、基准位线选择信号 RBSL2、RBSL3、基准位线选择信号 RBSL4、RBSL5、基准位线选择信号 RBSL6、RBSL7、基准位线选择信号 RBSL8、RBSL9、基准位线选择信号 RBSL10、RBSL11、基准位线选择信号 RBSL12、RBSL13、基准位线选择信号 RBSL14、RBSL15 中的任意一组变为高电平, 1 组的第一基准位线 (例如 1RBL2、1RBL4) 连接在 1 条第二基准位线 2RBL 上。



本实施例的位线选择器中，使与为了读出通常的存储单元 MC 而导通的 MISFET TrN 相同一侧的 MISFET TrN 为导通。例如，当位线选择信号 BSL0 变为高电平时，基准位线选择信号 RBSL0 和 RBSL1 变为高电平。而当位线选择信号 BSL16 变为高电平时，基准位线选择信号 RBSL8 和 RBSL9 变为高电平。

据此，存储单元 MC 的位线电阻、基准单元 RC0、RC1 的基准位线电阻一致。即如果使与为了读出通常的存储单元 MC 而导通的 MISFET TrN 相同一侧的 MISFET TrN 导通，则能使从要读出数据的存储单元 MC 到读出放大器 SA 的位线 (1BL+2BL) 的长度和从使用的基准单元 RC0、RC1 到基准电压生成电路 VG 的基准位线 (1RBL+2 RBL) 的长度大致相等。因此，存储单元 MC 的位线电阻、基准单元 RC0、RC1 的基准位线电阻变得大致相等，能进行更高精度的同相噪声补偿。

跨 4 个单元阵列块形成第二基准位线 2RBL，输入到与列解码器 140 相邻设置的基准电压生成电路 VG 中。因此，流过第二基准位线 2RBL 的电流  $I_0+I_1$  输入到基准电压生成电路 VG 中，在基准电压 VREF 的生成中使用。在本实施例的读出部件配置区中，对于 2 个读出放大器 SA 设置 1 个基准电压生成电路 VG，构成 1 个读出部件，在字线方向配置有多个该读出部件。

在本实施例的半导体存储器件的读出动作中，行解码器和字线驱动器 130 从 4 个单元阵列块 (B0~B3、B4~B7) 中选择 1 条字线 WL，使其成为高电平。此外，通过该字线 WL 变为高电平，选择 1 个基准单元 RC0 和 1 个基准单元 RC1，成为基准的电流  $I_0+I_1$  输入到基准电压生成电路 VG 中。而且，使用该基准电压生成电路 VG 生成的基准电压 VREF，用 1 个读出放大器 SA 从 4 个单元阵列块中读出 1 个存储单元 MC 的数据。写入动作和更新动作也与此同样，关于 1 个读出放大器 SA，选择 4 个单元阵列块中的 1 个存储单元 MC 进行。

如上所述，根据本实施例的半导体存储器件，能削减半导体存



储器件全体的读出放大器 SA 的数量和基准电压生成电路 VG 的数量。

此外, 因为与列解码器 140 相邻集中配置了读出放大器 SA 和基准电压生成电路 VG, 所以没必要在单元阵列 100 上形成跨多个单元阵列块的列选择线 RCSL、WCSL、DWCSL。因此, 能增大第二布线层 220 中形成的第二位线 2BL 的布线间隔。因此, 如图 27 所示, 在第二布线层 220 中, 除了该第二位线 2BL, 还能形成电源布线 PW、其他布线 WR。

图 28 是表示本实施例的位线选择器 400 的变形例的图, 是与上述的图 25 对应的图。如图 28 所示, 在该变形例中, 作为构成位线选择器 400 的开关电路, 代替图 25 的 N 型的 MISFET TrN, 使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中, 与图 25 同样, 在其栅电极中输入位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL15, 但是在 P 型 MISFET 中, 输入使它们反转的位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL15。

据此, 与实施例 1 中所描述的同样, 位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL15 的高电平的电压、位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL15 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL1~1RBL4 的电压为相同电压。因此, 能有助于半导体存储器件内使用的电压的低电压化。据此, 不但减轻了半导体存储器件内的外围电路的耐压问题, 而且, 该半导体存储器件的耗电也能下降。

#### [实施例 6]

实施例 6 把上述的实施例 5 变形, 在各字线 WL 上连接 1 个基准单元 RC0 和 1 个基准单元 RC1, 并且把通过 1 个 MISFET 连接基准单元 RC0 的第一基准位线连接在第二基准位线 2RBL 上, 把通过 1 个 MISFET 连接基准单元 RC1 的第一基准位线连接在第二基准位

线 2RBL 上。下面，将进一步详细说明。

图 29 是表示本实施例的与 1 个读出放大器 SA 和 1 个基准电压生成电路 VG 对应的位线选择器 400 的结构图，图 30 是本实施例的半导体存储器件的第一布线层 210 和第二布线层 220 的剖视图。须指出的是，本实施例的半导体存储器件的全体布局与图 24 同样。

如图 29 所示，在本实施例中，对于 1 个基准电压生成电路 VG，在 1 条字线 WL 上连接着 1 个基准单元 RC0 的栅电极和 1 个基准单元 RC1 的栅电极。因此，如图 30 所示，变为形成在第一布线层 210 上的第一基准位线 1RBL1、1RBL2 等 2 条。

此外，如图 29 所示，由第一基准位线 1RBL1 和第一基准位线 1RBL2 构成双端型的位线配置。即在位线方向排列的基准单元 RC0 的漏极连接在第一基准位线 1RBL1 上，该第一基准位线 1RBL1 通过设置在一方一侧的 MISFET TrN 连接在第二基准位线 2RBL 上。同样，在位线方向排列的基准单元 RC1 的漏极连接在第一基准位线 1RBL2 上，该第一基准位线 1RBL2 通过设置在另一方一侧的 MISFET TrN 连接在第二基准位线 2RBL 上。

因为这样配置了第一基准位线 1RBL1、1RBL2，所以本实施例的第一基准位线 1RBL1、1RBL2 的使用方法与上述的实施例 5 不同。即在连接在基准位线 1RBL1、1RBL2 上的 N 型 MISFET TrN 的栅电极上输入基准位线选择信号 RBSL0~RBSL7。而且，这些基准位线选择信号 RBSL0~RBSL7 中，基准位线选择信号 RBSL0、RBSL1、基准位线选择信号 RBSL2、RBSL3、基准位线选择信号 RBSL4、RBSL5、基准位线选择信号 RBSL6、RBSL7 中的任意一组变为高电平，把 1 条基准位线 1RBL1 和 1 条基准位线 1RBL2 连接在 1 条第二基准位线 2RBL 上。

例如，当位于单元阵列块 B0 的字线 WL 被选择，变为高电平，并且在位线选择器 400 中，例如位线选择信号 BSL0 变为高电平时，基准位线选择信号 RBSL0 和基准位线选择信号 RBSL1 变为高电平。

此外，当位于单元阵列块 B0 的字线 WL 被选择，变为高电平，

并且位线选择信号 RBSL16 变为高电平时, 基准位线选择信号 RBSL0 和基准位线选择信号 RBSL1 变为高电平。这样, 电流  $I_0+I_1$  流过第二基准位线 2RBL, 输入到基准电压生成电路 VG 中。

本实施例的半导体存储器件中, 此外的点与上述的实施例 5 的半导体存储器件同样。

如上所述, 根据本实施例的半导体存储器件, 也能削减该半导体存储器件全体的读出放大器 SA 的数量和基准电压生成电路 VG 的数量。

此外, 因为与列解码器 140 相邻集中配置了读出放大器 SA 和基准电压生成电路 VG, 所以在单元阵列 100 上, 没必要形成跨多个单元阵列块的列选择线 RCSL、WCSL、DWCSL。

图 31 是表示本实施例的位线选择器 400 的变形例的图, 是与上述的图 29 对应的图。如图 31 所示, 在该变形例中, 作为开关电路, 代替图 29 的 N 型的 MISFET TrN, 使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中, 与图 29 同样, 在其栅电极中输入位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL7, 但是在 P 型 MISFET 中, 输入使它们反转的位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL7。

据此, 与实施例 1 中所描述的同样, 位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL7 的高电平的电压、位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL7 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL1、1RBL2 的电压为相同电压。因此, 能有助于半导体存储器件内使用的电压的低电压化。据此, 不但减轻了半导体存储器件内的外围电路的耐压问题, 而且, 该半导体存储器件的耗电也能下降。

#### [实施例 7]

实施例 7 是把实施例 6 变形, 在第一基准位线 1RBL1、1RBL2



的两侧设置开关电路，从第一基准位线 1RBL1、1RBL2 的两侧连接到第二基准位线 2RBL 上。据此，基准单元 RC0 的基准位线电阻和基准单元 RC1 的基准位线电阻避免了变为非对称。下面，进一步详细说明。

图 32 是表示本实施例的 1 个单位部件的位线选择器 400 的结构图。须指出的是，本实施例的半导体存储器件的第一布线层 210 和第二布线层 220 的截面是图 30 同样，本实施例的单元阵列 100 的全体布局与图 24 同样。

如图 32 所示，在本实施例中，在各单元阵列块内在位线方向延伸的第一基准位线 1RBL、1RBL2 的两端连接着 MISFET TrN、TrN，通过该 MISFET TrN、TrN 连接在第二基准位线 2RBL 上。在连接在第一基准位线 1RBL、1RBL2 上的 MISFET 的栅电极上输入基准位线选择信号 RBSL0~RBSL15。而且，基准位线选择信号 RBSL0~RBSL3、基准位线选择信号 RBSL4~RBSL7、基准位线选择信号 RBSL8~RBSL11、基准位线选择信号 RBSL12~RBSL15 中的任意 1 对变为高电平，1 条第一基准位线 1RBL1 和 1 条第一基准位线 1RBL2 连接在 1 条第二基准位线 2RBL 上。

例如，在位线选择器 400 中，当位线选择信号 BSL0 变为高电平时，基准位线选择信号 RBSL0~RBSL3 等 4 个中，RBSL0 和 RBSL1 变为高电平。此外，当位线选择信号 BSL16 变为高电平时，基准位线选择信号 RBSL0~RBSL3 等 4 个中，RBSL2 和 RBSL3 变为高电平。这样，电流  $I_0+I_1$  流过第二基准位线 2RBL，输入到基准电压生成电路 VG 中。

本实施例的半导体存储器件中，此外的点与上述的实施例 6 的半导体存储器件同样。

如上所述，根据本实施例的半导体存储器件，也能削减该半导体存储器件全体的读出放大器 SA 的数量和基准电压生成电路 VG 的数量。

此外，因为与列解码器 140 相邻集中配置了读出放大器 SA 和基



准电压生成电路 VG, 所以在单元阵列 100 上, 没必要形成跨多个单元阵列块的列选择线 RCSL、WCSL、DWCSL。

图 33 是表示本实施例的位线选择器 400 的变形例的图, 是与上述的图 32 对应的图。如图 33 所示, 在该变形例中, 作为构成位线选择器 400 的各开关电路, 代替图 32 的 N 型的 MISFET TrN, 使用传输门 TG。该传输门 TG 由 N 型的 MISFET 和 P 型的 MISFET 并联构成。在 N 型的 MISFET 中, 与图 32 同样, 在其栅电极中输入位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL15, 但是在 P 型 MISFET 中, 输入使它们反转的位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL15。

据此, 位线选择信号 BSL0~BSL31 和基准位线选择信号 RBSL0~RBSL15 高电平的电压、位线选择信号 /BSL0~/BSL31 和基准位线选择信号 /RBSL0~/RBSL15 的高电平的电压能与应该提供给第一位线 1BL 和第一基准位线 1RBL1、1RBL2 的电压为相同电压。因此, 能有助于半导体存储器件内使用的电压的低电压化。据此, 不但减轻了半导体存储器件内的外围电路的耐压问题, 而且, 该半导体存储器件的耗电也能下降。

#### [实施例 8]

实施例 8 是在上述的实施例 5~实施例 7 中, 谋求读出放大器 SA 的数量和基准电压生成电路 VG 的数量的进一步削减。图 34 是表示本实施例的存储单元阵列 100 的全体布局的图。如图 34 所示, 在本实施例的存储单元阵列 100 中, 在其中央部分设置有利解码器 140。即与此前的实施例同样, 夹着列解码器 140, 在一方一侧设置有 4 个单元阵列块 B0~B3, 在另一方一侧设置有 4 个单元阵列块 B4~B7。

在列解码器 140 的一方一侧设置由 3 形成读出放大器 SA 和基准电压生成电路 VG 的区域即读出部件配置区 460。即在本实施例中, 与上述的实施例 5~实施例 7 不同, 在设置在列解码器 140 的一方一侧的读出部件配置区 460 中集中配置着多个读出放大器 SA 和多个基准电压生成电路 VG。因此, 当对存储单元 MC 进行读出动作、写入

动作、更新动作时,产生以下的制约。

即对于左右分别各设置了1组的第二位线2BL和第二基准位线2RBL,只设置1个读出放大器SA和1个基准电压生成电路VG。因此,当选择了跨单元阵列块B0~B3的1组第二位线2BL和第二基准位线2RBL时,无法选择跨连接在与它相同的读出放大器SA和基准电压生成电路VG上的单元阵列块B4~B7的1组第二位线2BL和第二基准位线2RBL。因此,有必要控制字线,使行解码器和字线驱动器130满足这样的条件。即在单元阵列100全体中只能激活1条字线。

须指出的是,本实施例的半导体存储器件中,此外的点与上述的实施例5~实施例7的半导体存储器件同样。

如上所述,根据本实施例的半导体存储器件,在位于该单元阵列100中的所有单元阵列块中公共使用1个读出放大器SA和基准电压生成电路VG,所以能把该半导体存储器件全体的读出放大器SA的数量和基准电压生成电路VG的数量设置在最小限度。

#### [实施例9]

实施例9是在各单元阵列块内延伸的第一位线1BL的一端设置N型MISFET,连接到第二位线2BL上,并且在各第一位线1BL的另一端设置P型MISFET,连接到第二位线2BL上,使各存储单元的位线电阻变为均匀。下面,将进一步具体说明。

图35是表示实施例9的单元阵列100的全体布局的图,图36是表示与图35中的1个读出放大器SA和1个基准电压生成电路VG对应的位线选择器500、510的结构图,表示了单元阵列块B0、B1中的单元部件结构。图37是表示单元阵列块B2~B5部分的第一布线层210和第二布线层220的结构的剖视图,图38表示了单元阵列块B0、B1、B6、B7部分的第一布线层210和第二布线层220的结构的剖视图。

如图35所示,在本实施例的单元阵列100中,在中央部分配置有列解码器140。此外,在单元阵列块B1单元阵列块B2之间设置了

配置多个读出放大器 SA 和多个基准电压生成电路 VG 的区域即读出部件配置区 550, 在单元阵列块 B5 单元阵列块 B6 之间也设置有读出部件配置区 550。在本实施例的读出部件配置区 550 中, 在 1 个读出部件配置区 550 内设置有单元阵列块 B0、B1 用的读出放大器 SA、单元阵列块 B2、B3 用的读出放大器 SA, 在 1 个读出部件配置区 550 内设置有单元阵列块 B4、B5 用的读出放大器 SA、单元阵列块 B6、B7 用的读出放大器 SA。即在本实施例的单元阵列 100 中设置有 1 个列解码器 140、2 系统的读出放大器 SA 和基准电压生成电路 VG。

第二位线 2BL 和第二基准位线 2RBL 为单端型的位线配置。在该图的例子中, 例如, 单元阵列块 B0、B1 的第二位线 2BL 和第二基准位线 2RBL 分别输入到设置在右侧的读出部件配置区 550 的读出放大器 SA 和基准电压生成电路 VG 中, 单元阵列块 B2、B3 的第二位线 2BL 和第二基准位线 2RBL 也分别输入到位于与此相同的读出部件配置区 550 中的读出放大器 SA 和基准电压生成电路 VG 中。

列选择线 (读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL) 从列解码器 140 输入到读出放大器 SA 中。因此, 在单元阵列块 B2~B5 上, 如图 37 所示, 形成该列选择线, 但是在单元阵列块 B0、B1、B6、B7 上, 如图 38 所示, 不形成该列选择线。

在本实施例中, 在各单元阵列块的一方一侧设置有由 N 型 MISFET TrN 构成的位线选择器 500, 在另一方法一设置有由 P 型 MISFET TrP 构成的位线选择器 510。

如图 36 所示, 在各单元阵列块内在位线方向延伸的第一位线 1BL 的一端连接着构成位线选择器 500 的 N 型 MISFET TrN, 通过该 MISFET TrN 连接在第二位线 2BL 上。此外, 在各第一位线 1BL 的另一端连接着构成位线选择器 510 的 P 型 MISFET TrP, 通过该 MISFET TrP 连接在第二位线 2BL 上。

同样, 在各单元阵列块内在位线方向延伸的第一基准位线 1RBL 的一端连接着构成位线选择器 500 的 N 型 MISFET TrN, 通过该



MISFET TrN 连接在第二基准位线 2RBL 上。此外，在各第一基准位线 1RBL 的另一端连接着构成位线选择器 510 的 P 型 MISFET TrP，通过该 MISFET TrP 连接在第二基准位线 2RBL 上。

在连接在第一位线 1BL 上 MISFET TrN、TrP 的栅电极上输入位线选择信号 BSL0~BSL31，这些位线选择信号 BSL0~BSL31 中，连接在同一第一位线 1BL 上的 MISFET TrN、TrP 变为导通，把 1 条第一位线 1BL 连接在第二位线 2BL 上。例如，位线选择信号 BSL0 变为高电平，位线选择信号 BSL1 变为低电平，1 条第一位线 1BL 连接在第二位线 2BL 上。

在图 36 中，第二位线 2BL 输入到右侧的读出放大器 SA 中，流过第二位线 2BL 的单元电流由右侧的读出放大器 SA 读出，读出数据。

在连接在第一基准位线 1RBL 上的 MISFET TrN、TrP 的栅电极上输入基准位线选择信号 RBSL0~RBSL7，这些基准位线选择信号 RBSL0~RBSL7 中，连接在同一第一基准位线 1RBL 上的 MISFET TrN、TrP 变为导通，把 1 条第一基准位线 1RBL 连接在第二基准位线 2RBL 上。例如，位于单元阵列块 B0 中的字线 WL 变为高电平时，与该变为高电平的字线 WL 所在单元阵列块相同的单元阵列块 B0 的第一基准位线 1RBL1、1RBL2 连接在第二基准位线 2RBL 上。因此，基准位线选择信号 RBSL0 和 RBSL2 变为高电平，基准位线选择信号 RBSL1 和 RBSL3 变为低电平，1 条第一基准位线 1RBL1 和 1 条第一基准位线 1RBL2 连接在第二基准位线 2RBL 上。

在图 36 中，第二基准位线 2RBL 输入到右侧的基准电压生成电路 VG 中，流过第二基准位线 2RBL 的电流  $I_0+I_1$  输入到右侧的基准电压生成电路 VG 中，生成基准电压 VREF。

如图 35 所示，在本实施例的半导体存储器件中，在读出动作中，4 个单元阵列块（例如，B0、B1、B2、B3），1 条字线 WL 变为高电平。而且，1 条第一位线 1BL 连接在第二位线 2BL 的任意一个上，由各读出放大器 SA 进行数据的读出。这点在写入动作和更新



动作中也同样。

如上所述，根据本实施例的半导体存储器件，基准单元 RC0、RC1 的基准位线电阻变为均匀，并且存储单元 MC 的位线电阻也能变得均匀。

#### [实施例 10]

实施例 10 是把上述的实施例 9 变形，通过在列解码器 140 的两侧，设置配置读出放大器 SA 和基准电压生成电路 VG 的区域即读出部件配置区 560，从而没必要在各单元阵列块上形成列选择线。

图 39 是表示实施例 10 的单元阵列 100 的全体布局图，图 40 是表示与图 39 的单元阵列 100 中的 1 个读出放大器 SA 和基准电压生成电路 VG 对应的位线选择器 500、510 的结构图。须指出的是，本实施例的第一布线层 210 和第二布线层 220 的剖视图与上述的图 38 是同样的。

如图 39 所示，在本实施例中，在设置在单元阵列 100 的中央部分的列解码器 140 的两侧，设置有配置多个读出放大器 SA 和多个基准电压生成电路 VG 的读出部件配置区 560。因此，没必要在单元阵列块上形成来自列解码器 140 的列选择线（读出列选择信号线 RCSL、写入列选择信号线 WCSL、基准单元更新列信号线 DWCSL）。

此外，在本实施例中，跨 4 个单元阵列块，形成第二位线 2BL 和第二基准位线 2RBL，这些第二位线 2BL 的一端输入到读出放大器 SA 中，第二基准位线 2RBL 的一端输入到基准电压生成电路 VG 中。因此，4 个单元阵列块中公共设置有 1 个读出部件。因此，在 1 个读出部件中，从 4 个单元阵列块中读出 1 个存储单元 MC 的数据。

如图 40 所示，在本实施例的单元阵列 100 中，设置有由 N 型 MISFET TrN 构成的位线选择器 500 和由 P 型 MISFET TrP 构成的位线选择器 510。与上述的实施例 9 同样，隔第一位线 1BL 通过设置在一端一侧的 MISFET TrN 和设置在另一端一侧的 MISFET TrP 连接在 1 条第二位线 2BL 上。此外，各第一基准位线 1RBL 通过设置

在一端一侧的 MISFET TrN 和设置在另一端一侧的 MISFET TrP 连接在 1 条第二基准位线 2RBL 上。

在连接在第一位线 1BL 上的 MISFET TrN、TrP 的栅电极上输入位线选择信号 BSL0~BSL63，这些位线选择信号 BSL0~BSL63 中，连接在同一第一位线 1BL 上的 MISFET TrN、TrP 变为导通，把 1 条第一位线 1BL 连接在 1 条第二位线 2BL 上。例如，位线选择信号 BSL0 变为高电平，位线选择信号 BSL1 变为低电平，1 条第一位线 1BL 连接在第二位线 2BL 上。

在图 40 中，第二位线 2BL 输入到右侧的读出放大器 SA 中，流过第二位线 2BL 的单元电流由右侧的读出放大器 SA 读出，读出了数据。

在连接在第一基准位线 1RBL 上的 MISFET TrN、TrP 的栅电极上输入基准位线选择信号 RBSL0~RBSL15，这些基准位线选择信号 RBSL0~RBSL15 中，连接在同一第一基准位线 1RBL 上的 MISFET TrN、TrP 变为导通，把 1 条第一基准位线 1RBL 连接在第二基准位线 2RBL 上。例如，位于单元阵列块 B0 的字线 WL 变为高电平时，基准位线选择信号 RBSL0 和 RBSL2 变为高电平，基准位线选择信号 RBSL1 和 RBSL3 变为低电平，1 条第一基准位线 1RBL1 和 1 条第一基准位线 1RBL2 连接在第二基准位线 2RBL 上。

在图 40 中，第二基准位线 2RBL 输入到右侧的基准电压生成电路 VG 中，流过第二基准位线 2RBL 的电流  $I_0+I_1$  输入到右侧的基准电压生成电路 VG 中，生成基准电压 VREF。

在本实施例的半导体存储器件的读出动作中，行解码器和字线驱动器 130 从 4 个单元阵列块 (B0~B3、B4~B7) 中选择 1 条字线 WL，使其成为高电平。此外，通过该字线 WL 变为高电平，选择了 1 个基准单元 RC 和 1 个基准单元 RC1，成为基准的电流  $I_0+I_1$  输入到基准电压生成电路 VG 中。而且，使用该基准电压生成电路 VG 生成的基准电压 VREF，用 1 个读出放大器 SA 从 4 个单元阵列块中读出 1 个存储单元 MC 的数据。写入动作和更新动作也同样，对于 1 个

读出放大器 SA, 选择 4 个单元阵列块中的 1 个存储单元 MC 而进行。

如上所述, 根据本实施例的半导体存储器件, 也能使基准单元 RC0、RC1 的基准位线电阻变为均匀, 而且, 能使存储单元 MC 的位线电阻变为均匀。此外, 因为与列解码器 140 的两侧相邻设置了配置读出放大器 SA 和基准电压生成电路 VG 的读出部件配置区 560, 所以没必要使列扫描线通过各单元阵列块上。

图 41 是表示本实施例的单元阵列 100 的变形例的图。在该图 41 的单元阵列 100 中, 在列解码器 140 的单侧设置配置多个读出放大器 SA 和多个基准电压生成电路 VG 的读出部件配置区 560。在本例子中, 对于 8 个单元阵列块设置有 1 个读出部件。因此, 例如, 正在进行位于单元阵列块 B0~B3 中的存储单元 MC 的数据读出的读出部件不能进行位于单元阵列块 B4~B7 中的存储单元 MC 的数据读出。这是因为在单元阵列块 B0~B3 和单元阵列块 B4~B7 中, 读出放大器 SA 和基准电压生成电路 VG 是公共的。

须指出的是, 本发明并不局限于所述实施例, 能进行各种变形。例如, 在上述的实施例 1 和 2 中, 连接在 1 条第一基准位线 1RBL 上的基准单元 RC0、RC1 是 2 个, 但是该基准单元的个数是  $2N$  ( $N$  为自然数) 就可以了。这时, 基准字线 RWL0、RWL1 的个数也变为  $2N$ 。例如, 在上述的实施例 1 中, 当在 1 条基准位线 1RBL 上设置了 4 个基准单元 RC0、RC0、RC1、RC1 时, 单元阵列 100 的结构如图 42 所示。

同样, 在上述的实施例 3~实施例 10, 对于 1 条第二基准位线, 在 1 个单元阵列块中设置了 2 条第一基准位线, 但是该第一基准位线的个数是  $2N$  ( $N$  为自然数) 就可以了。例如, 在上述的实施例 3 中, 对于 1 条第二基准位线在 1 个单元阵列块中设置了 4 条第一基准位线时, 如图 43 所示。而且, 当使用基准单元生成成为基准的电流时, 对 1 条第二基准位线选择 4 条第二基准位线, 使用 4 个基准单元取得成为基准的电流  $2 \times (I0+I1)$ 。

此外，在上述的个实施例中，在 2 个读出放大器 SA 中公共使用 1 个基准电压生成电路 VG，但是可以在更多的读出放大器 SA 中公共使用 1 个基准电压生成电路 VG。而与此相反，也可以在 1 个读出放大器 SA 中使用 1 个基准电压生成电路 VG。



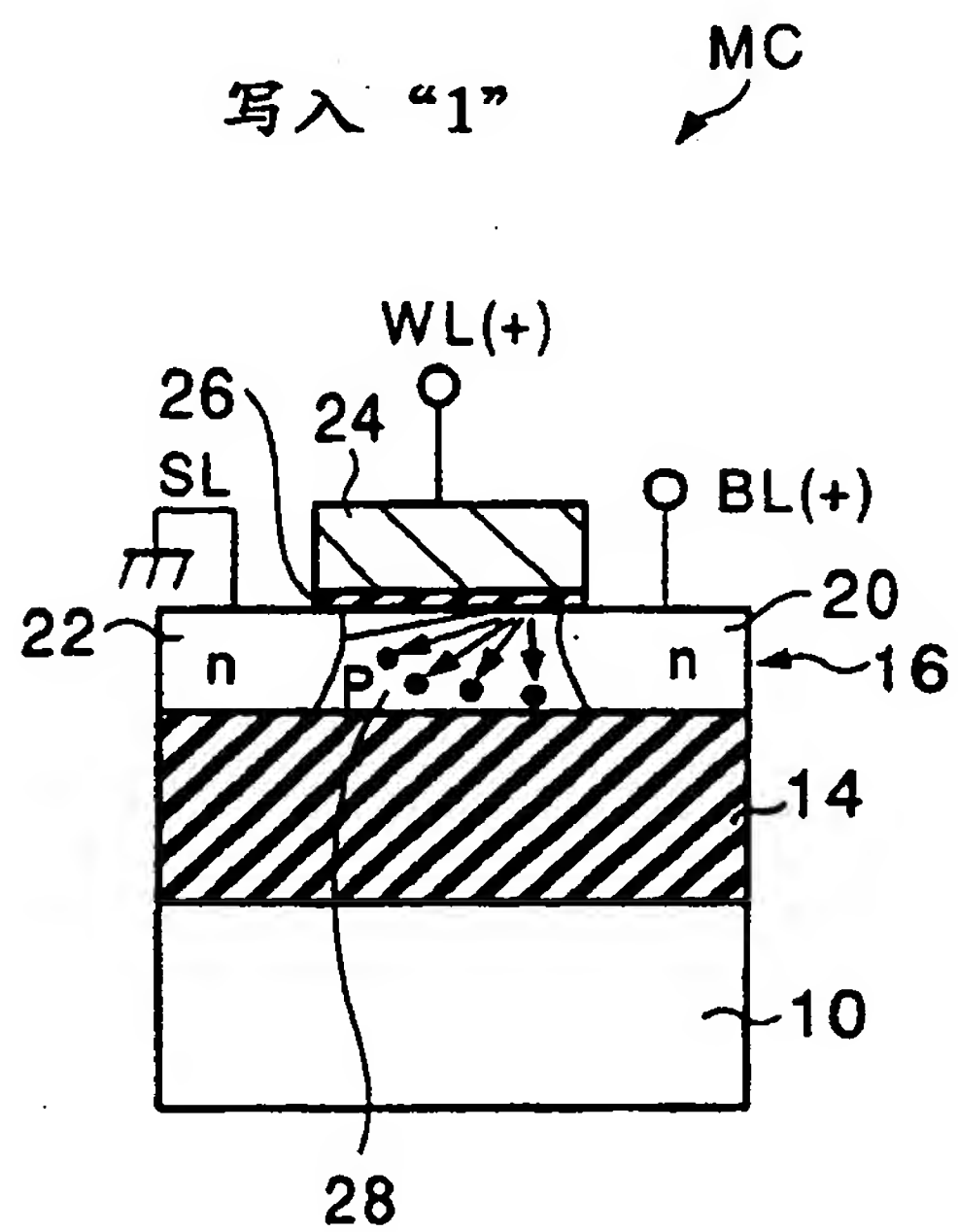


图 1

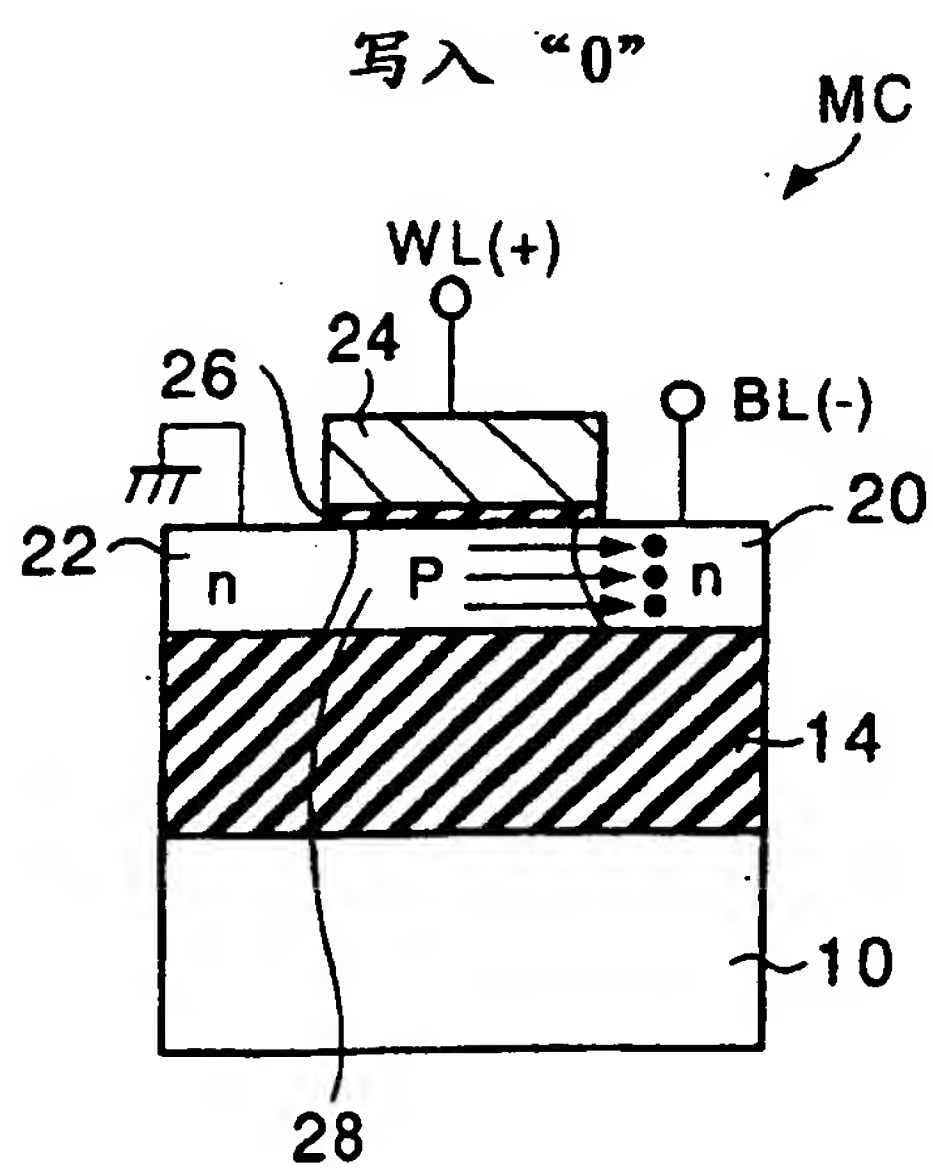


图 2

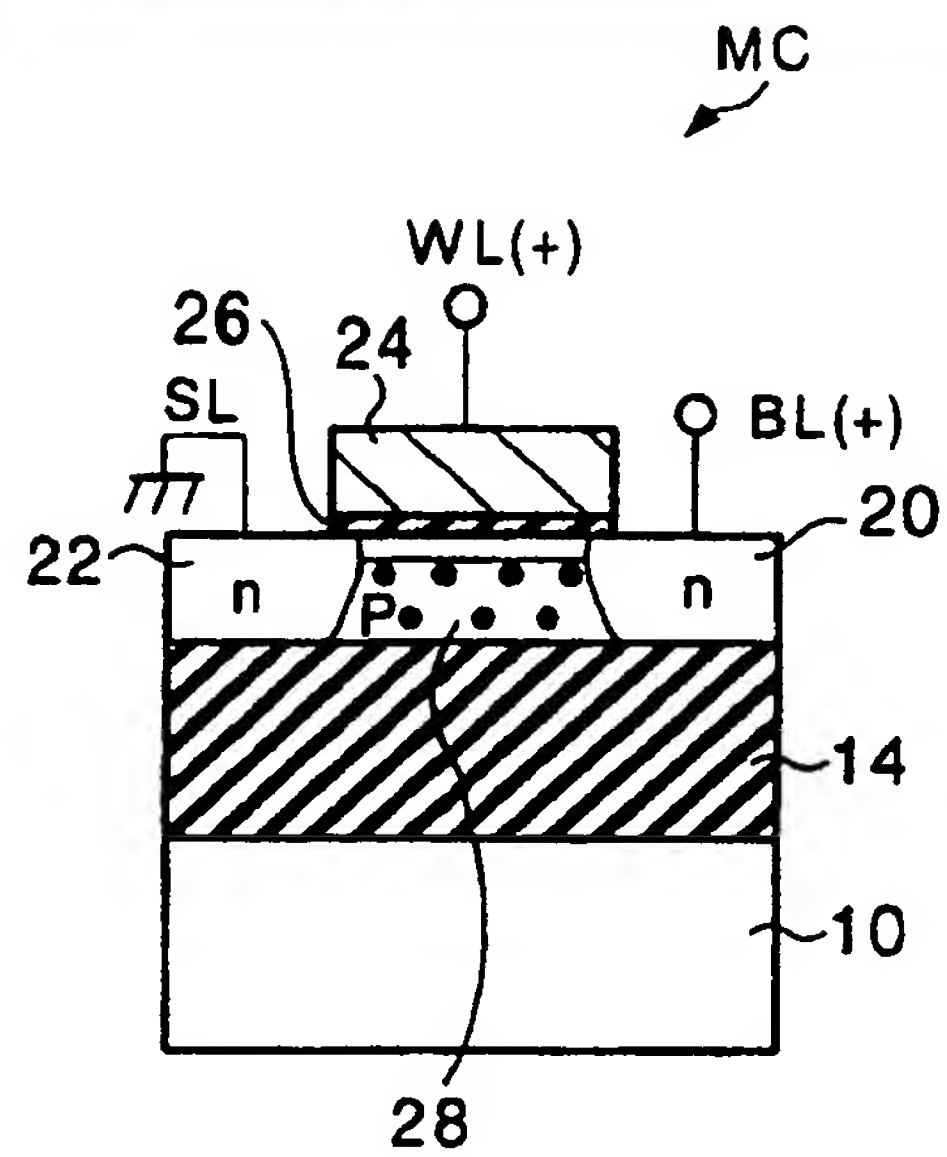


图 3

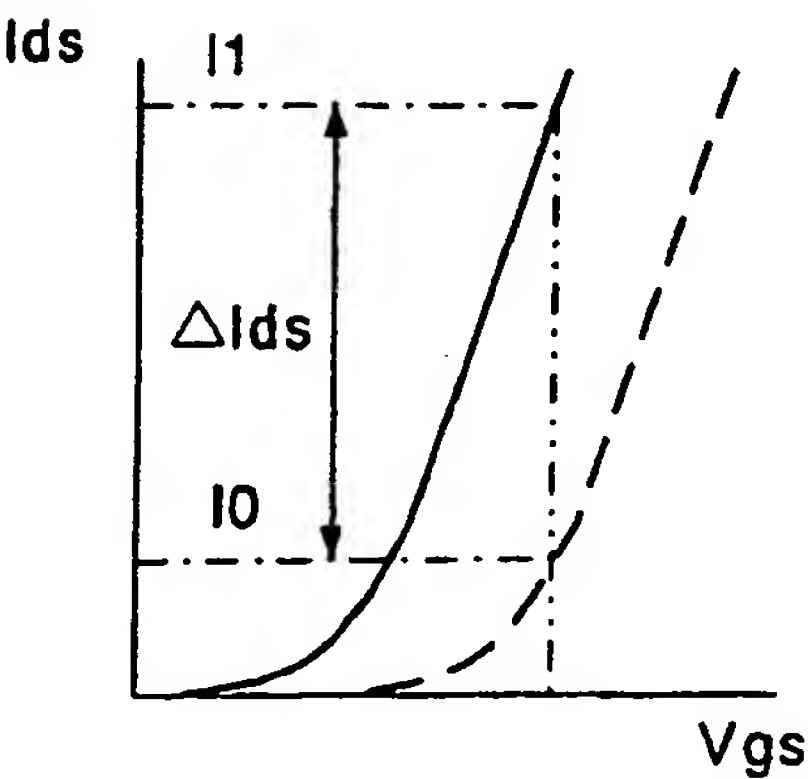


图 4

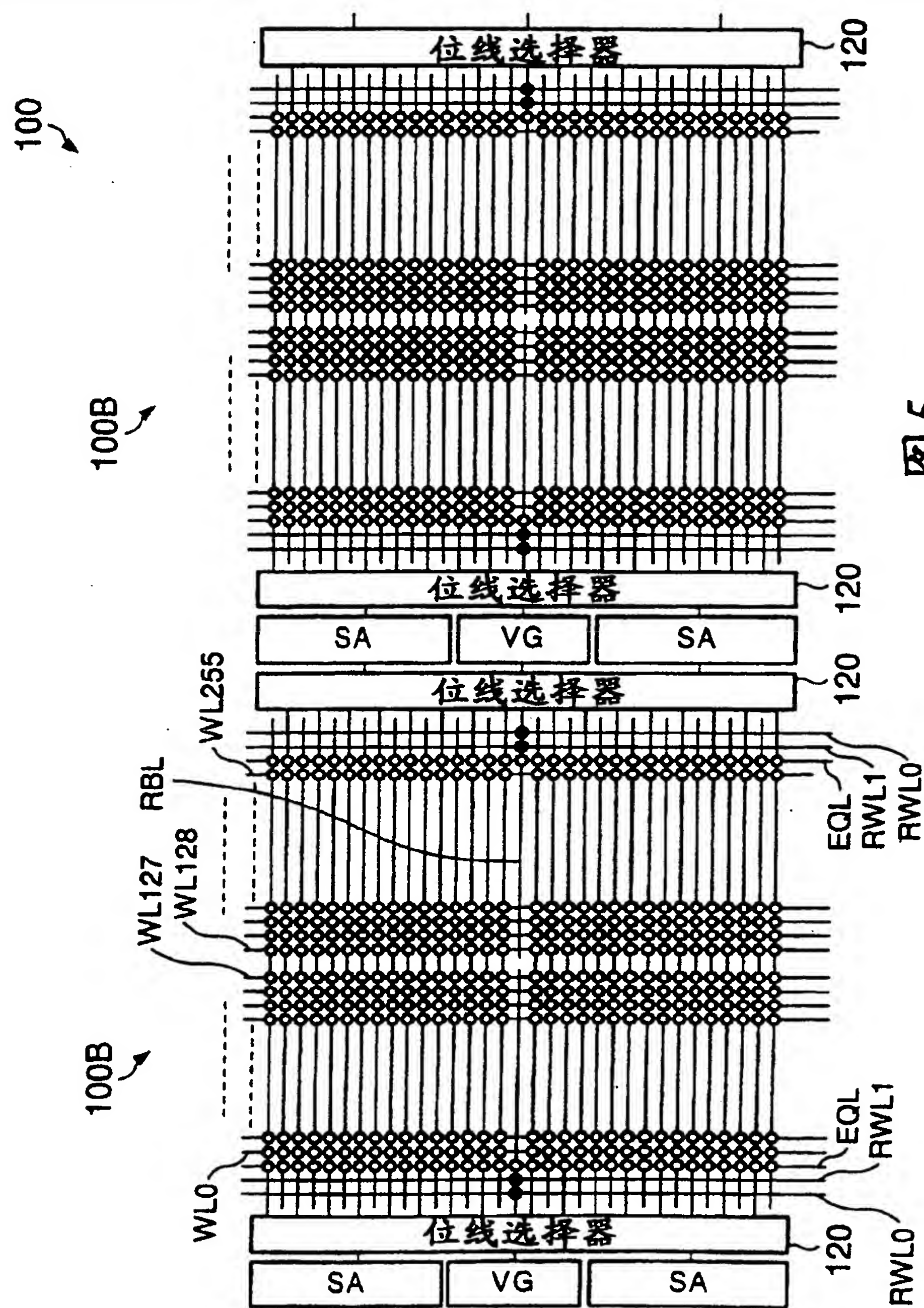
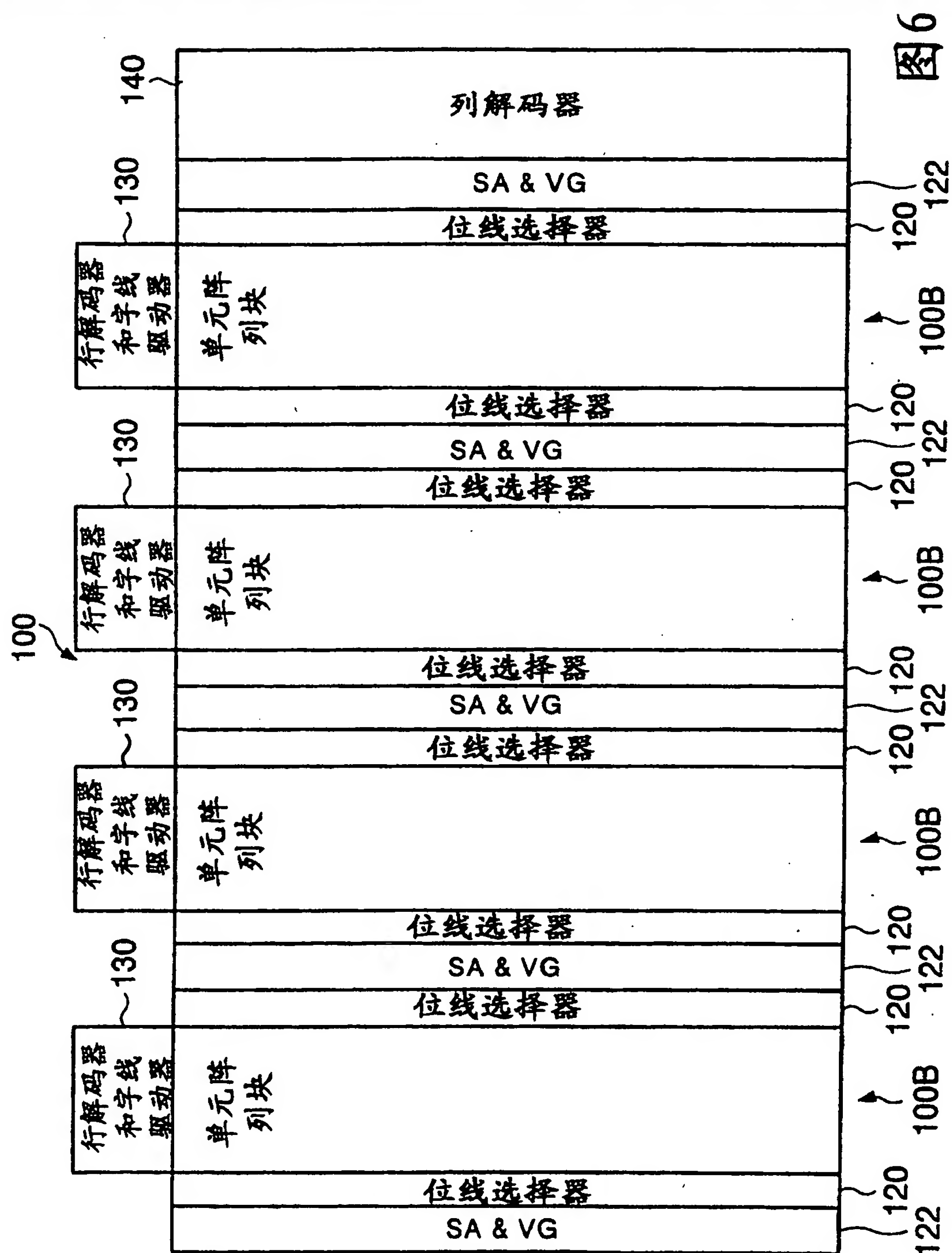


图5





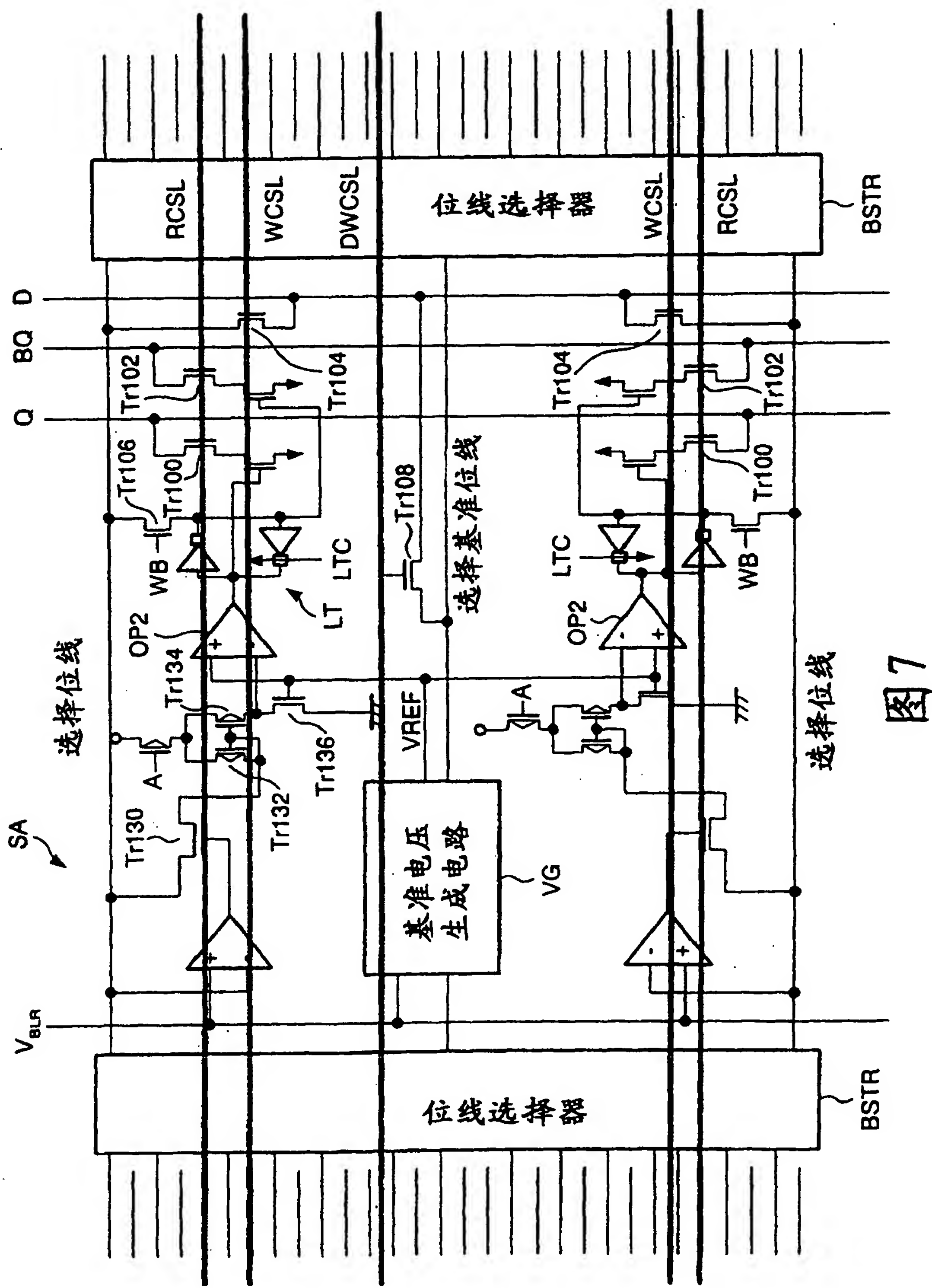


图7

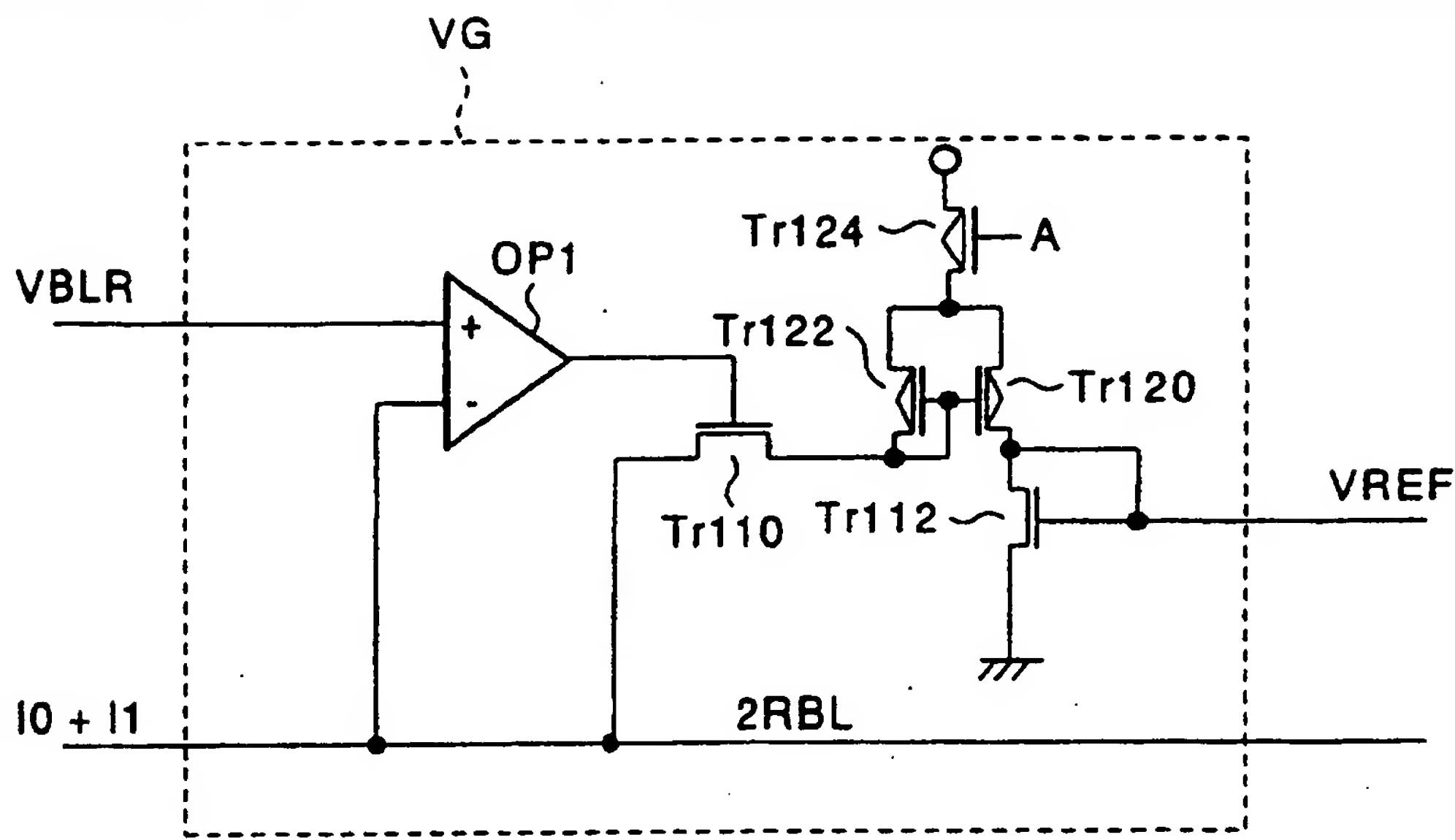


图 8

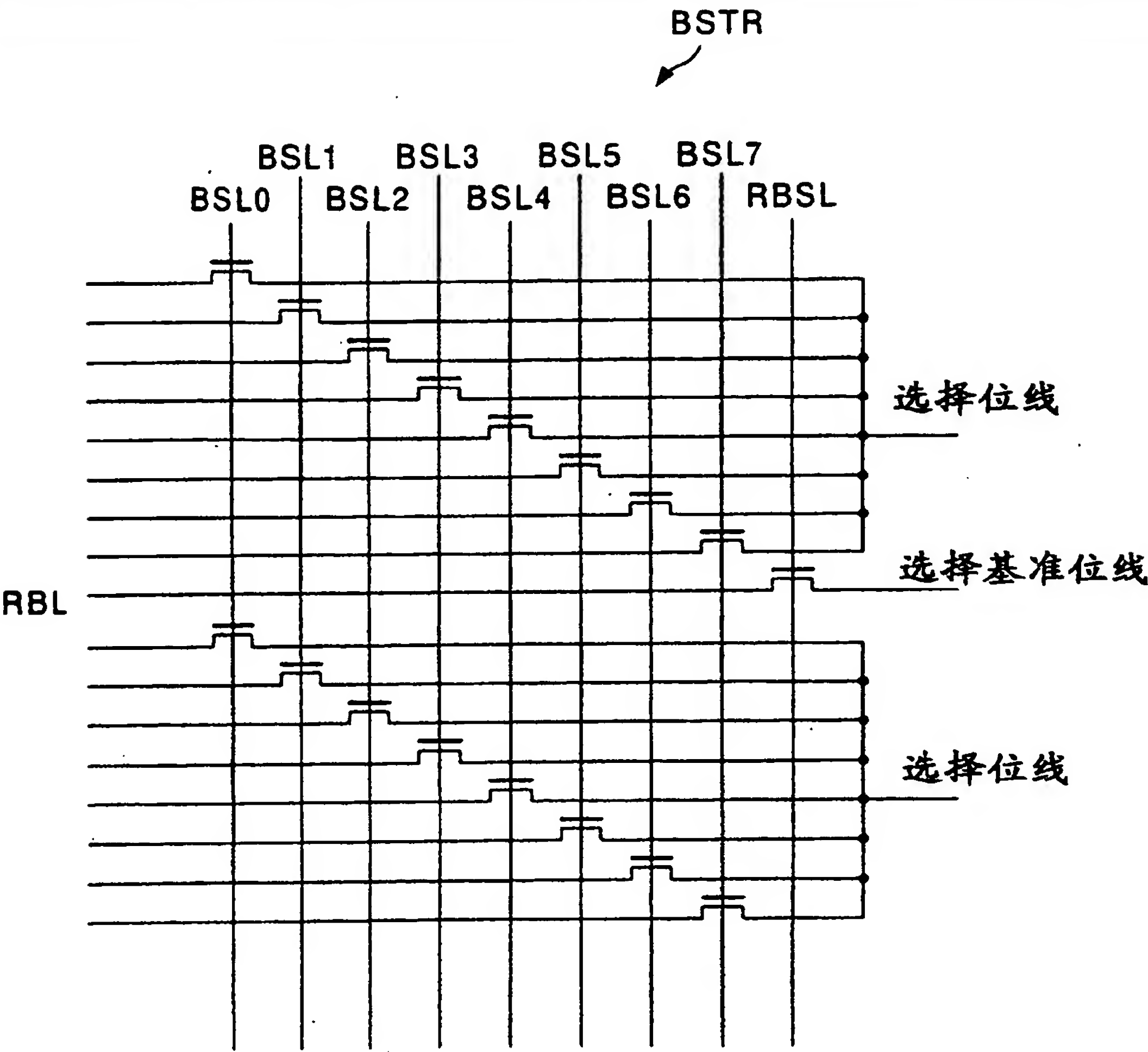


图 9

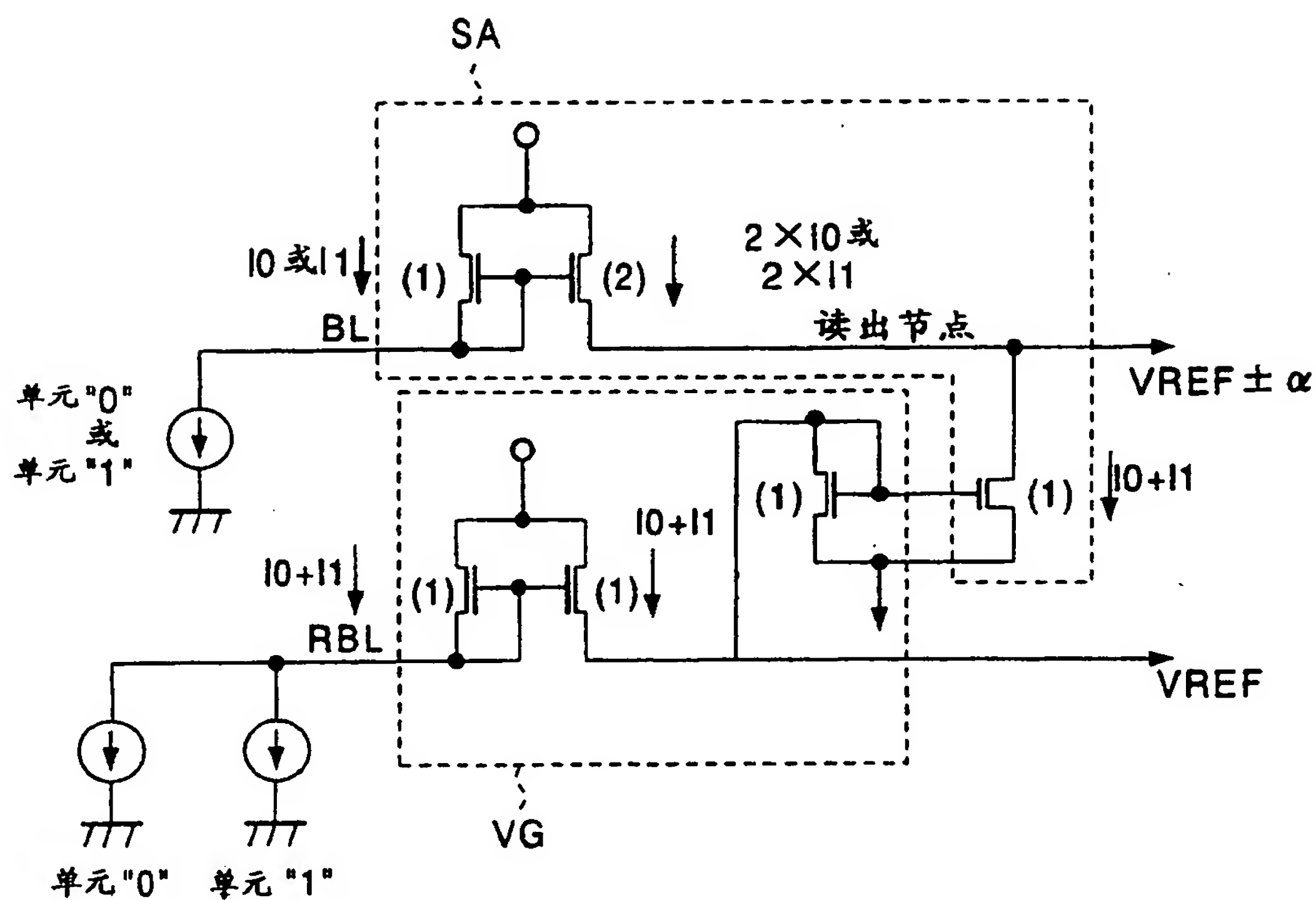


图 10



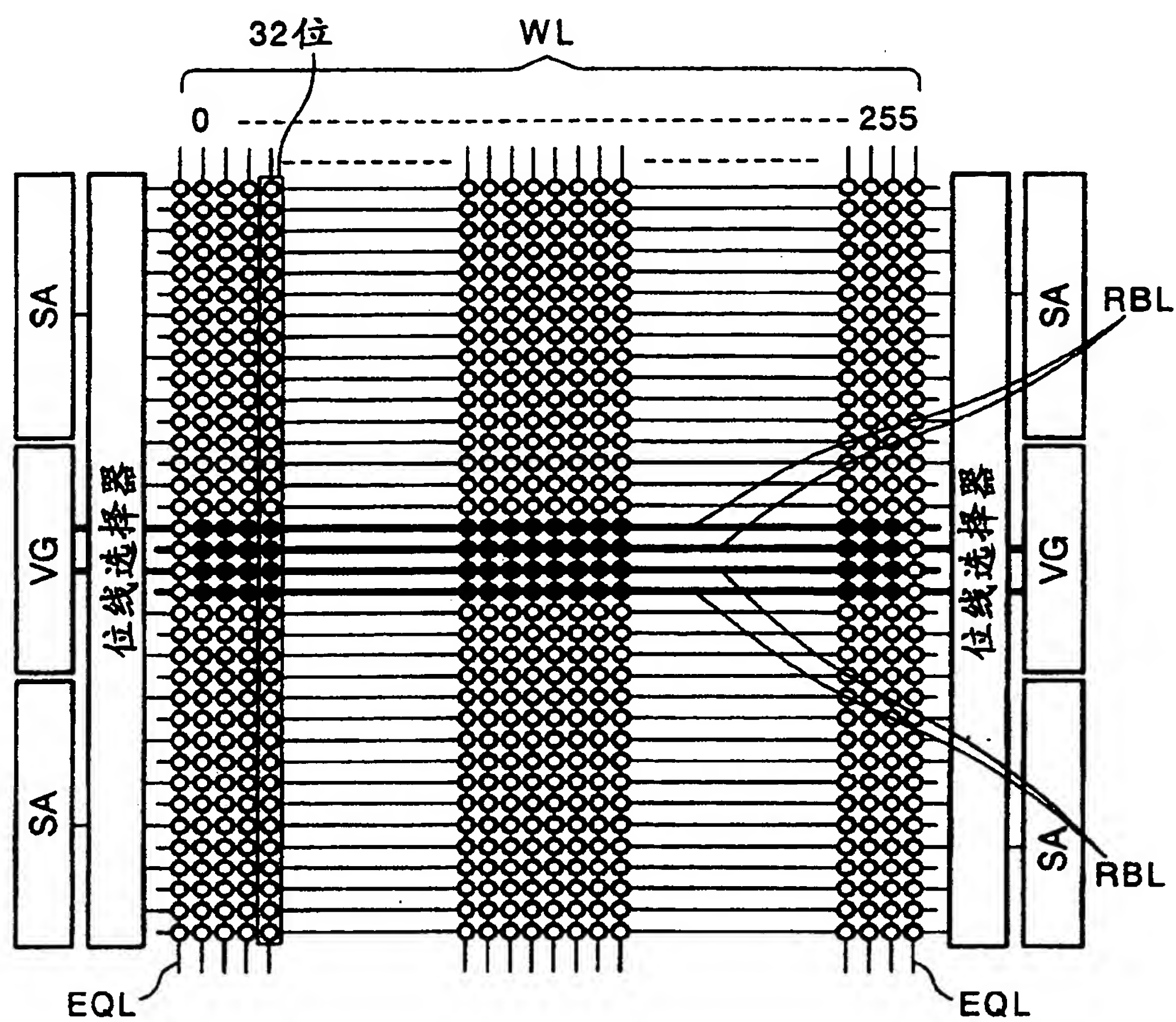


图 11

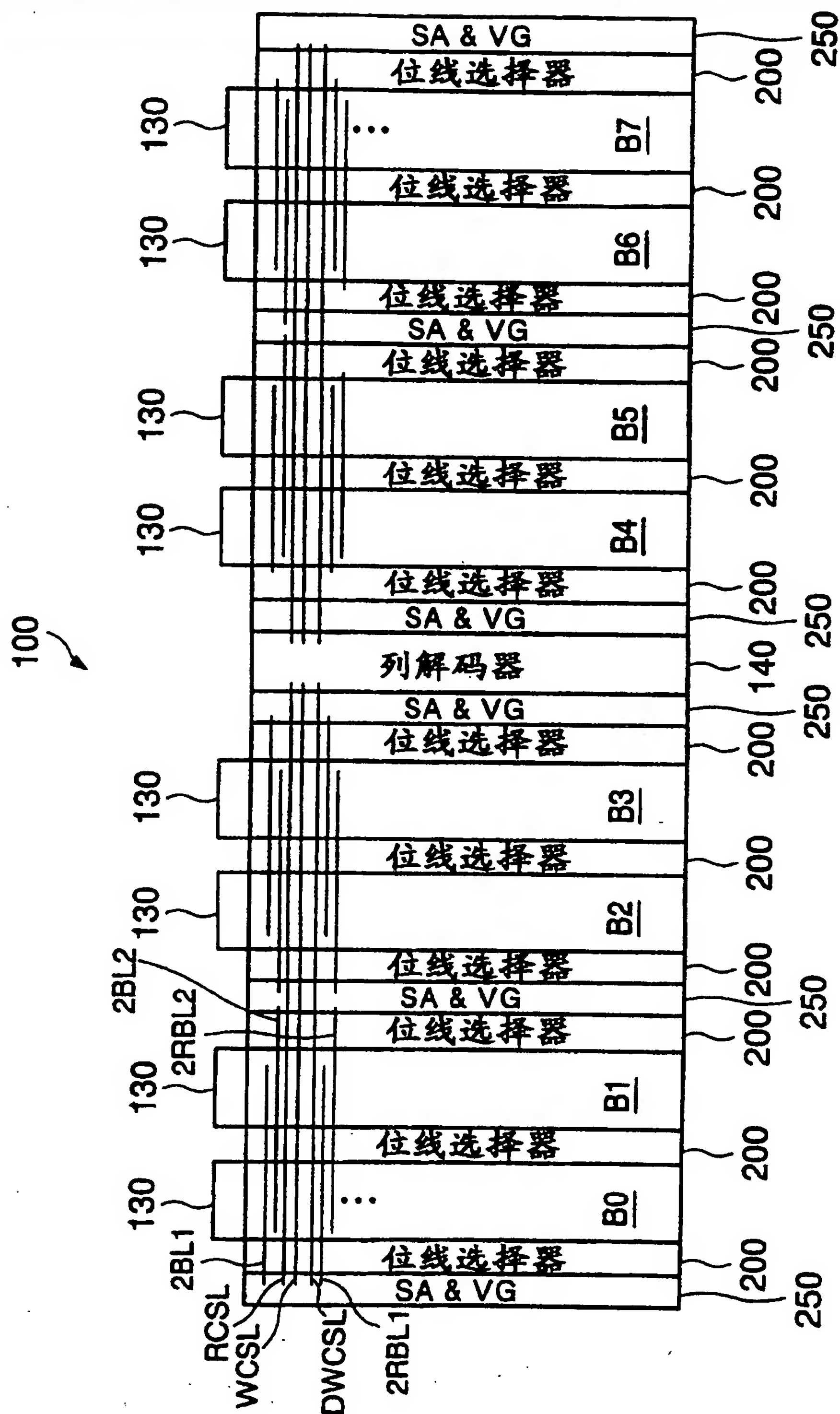


图 12

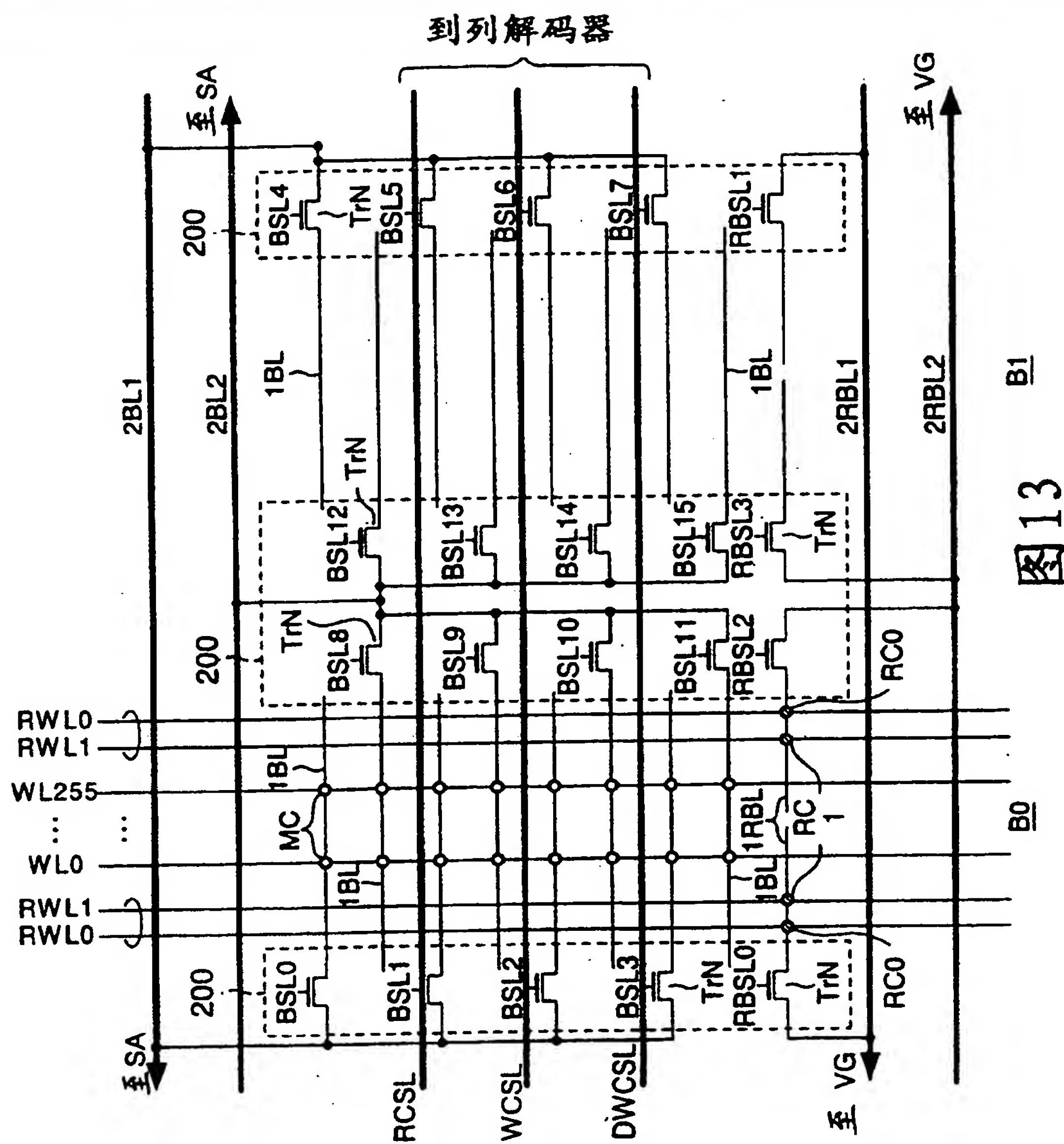
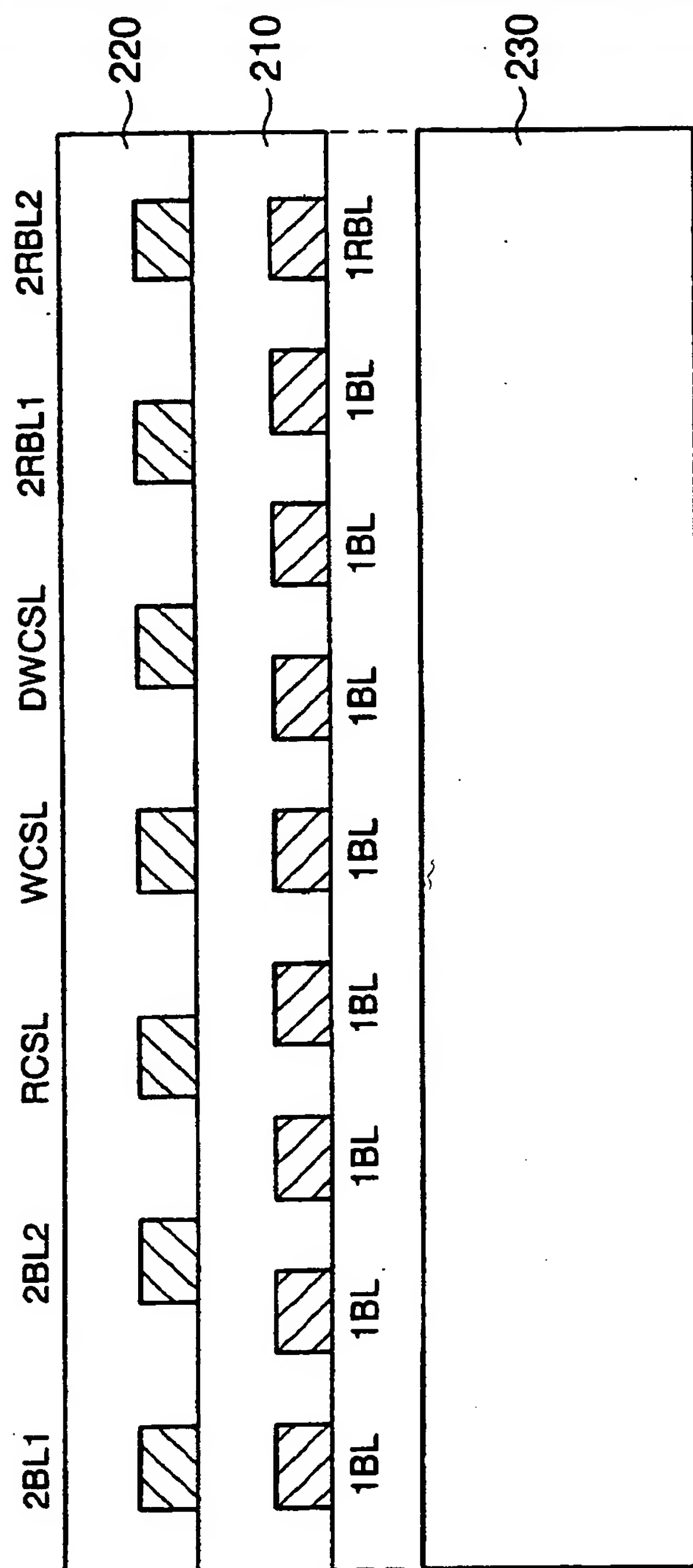
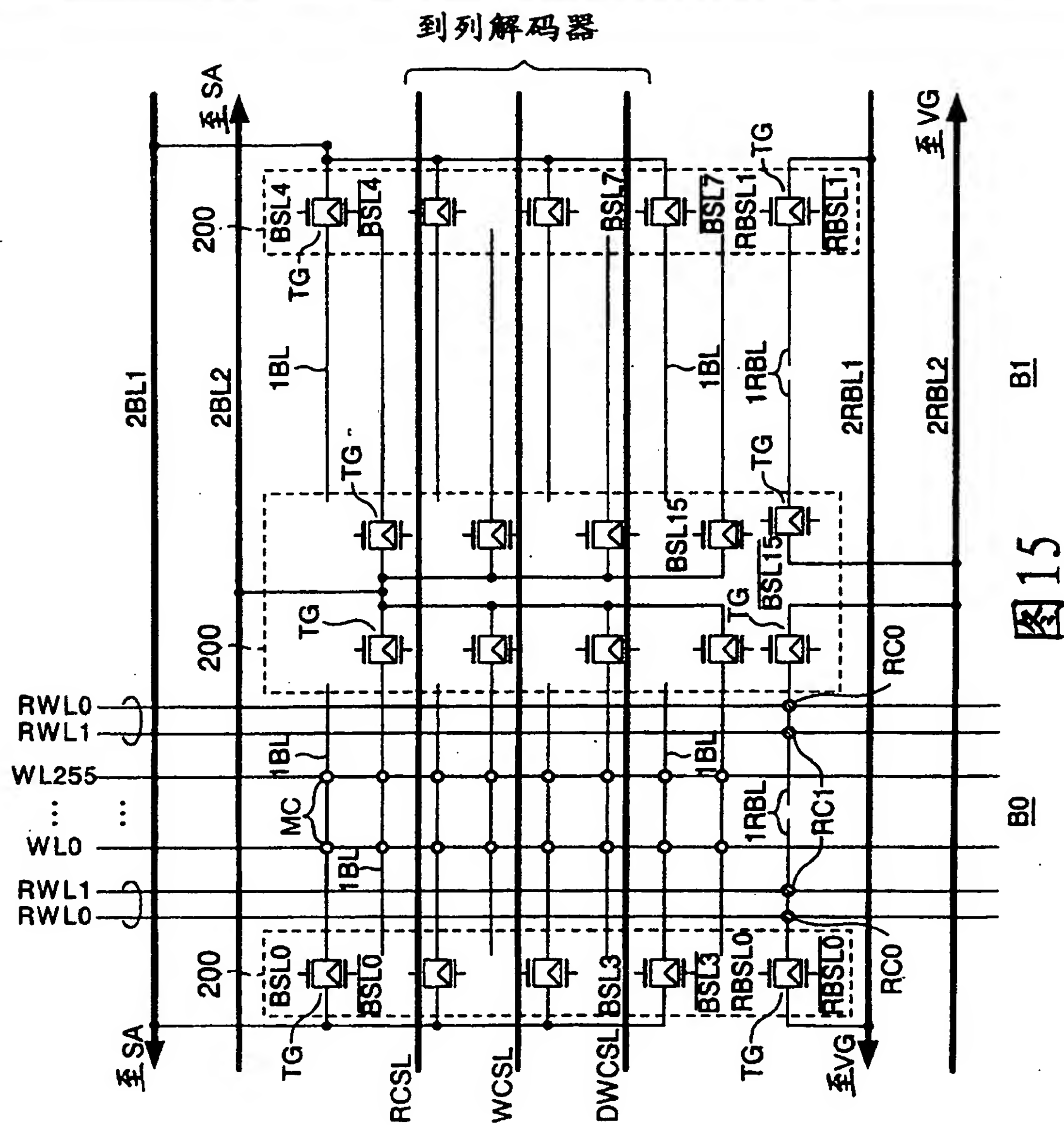


图 13

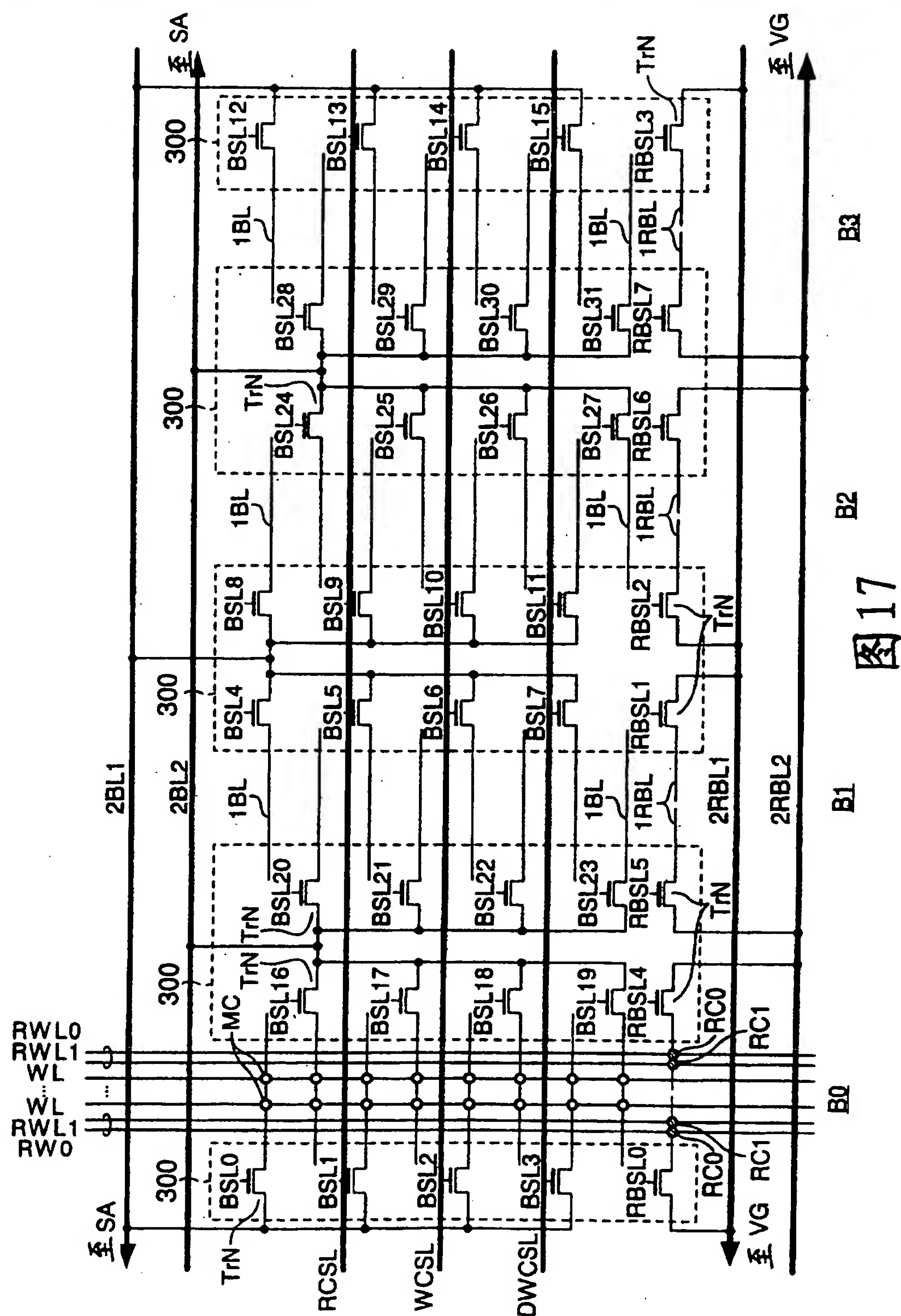


14 圖









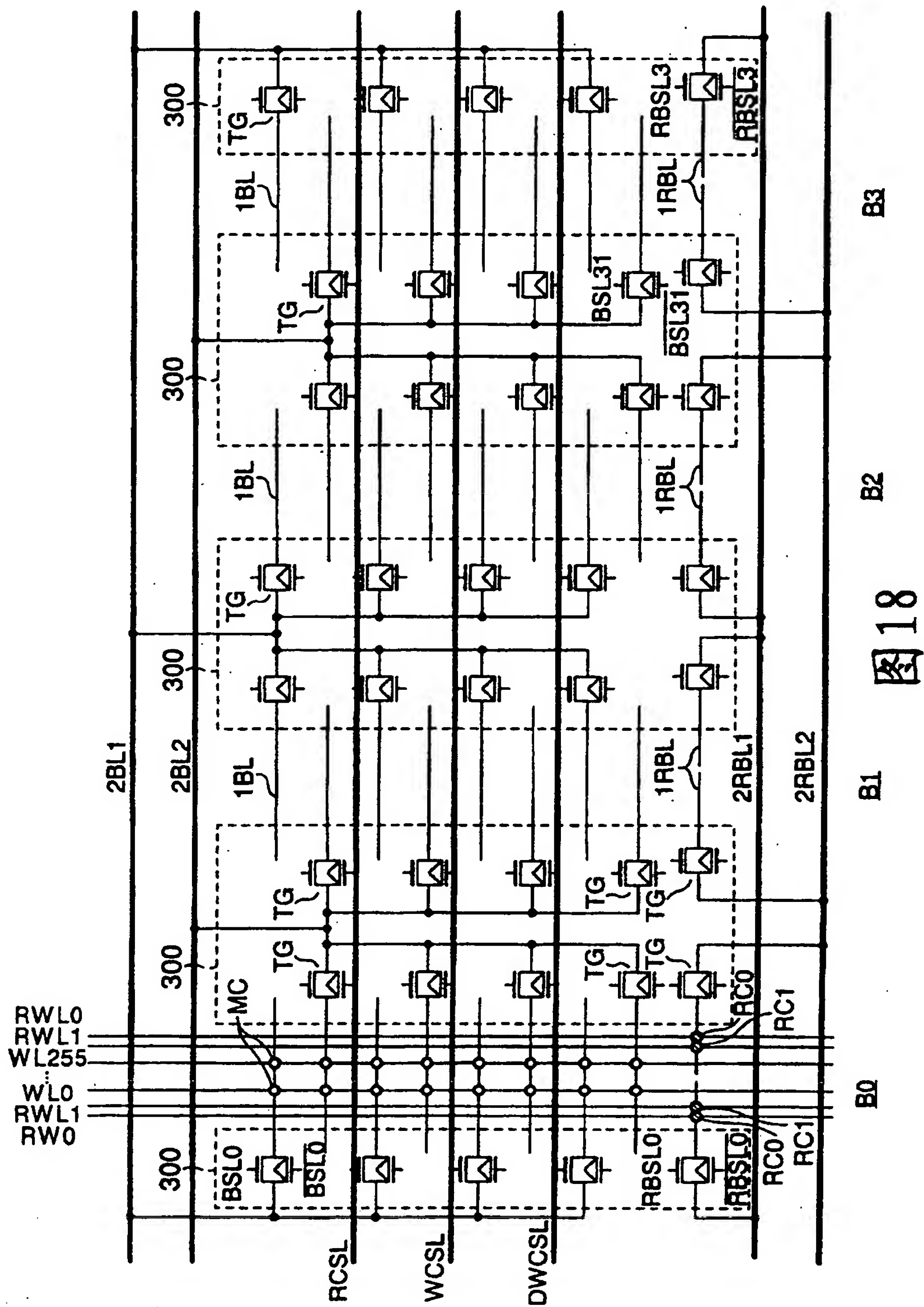


图 18



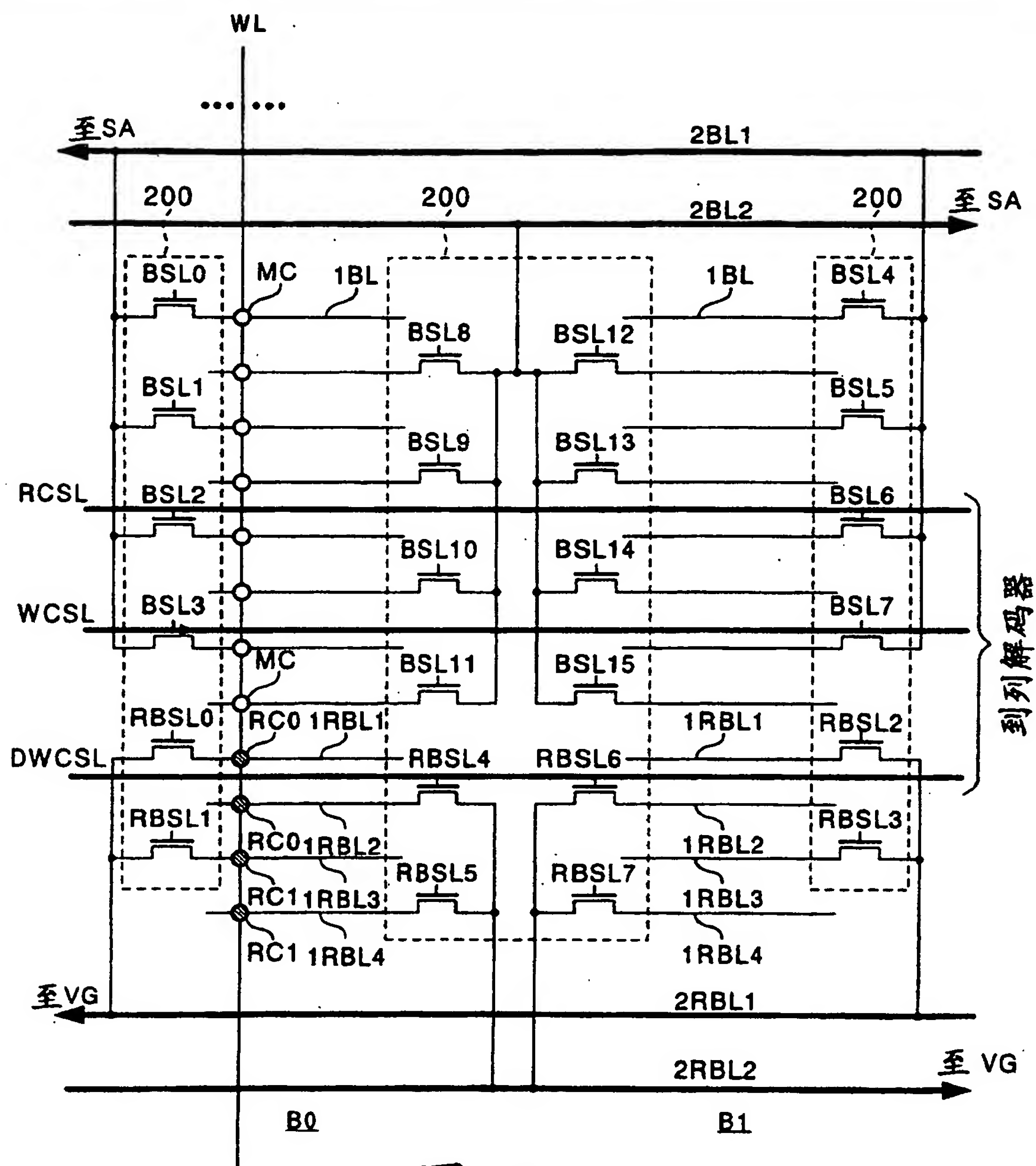


图 19

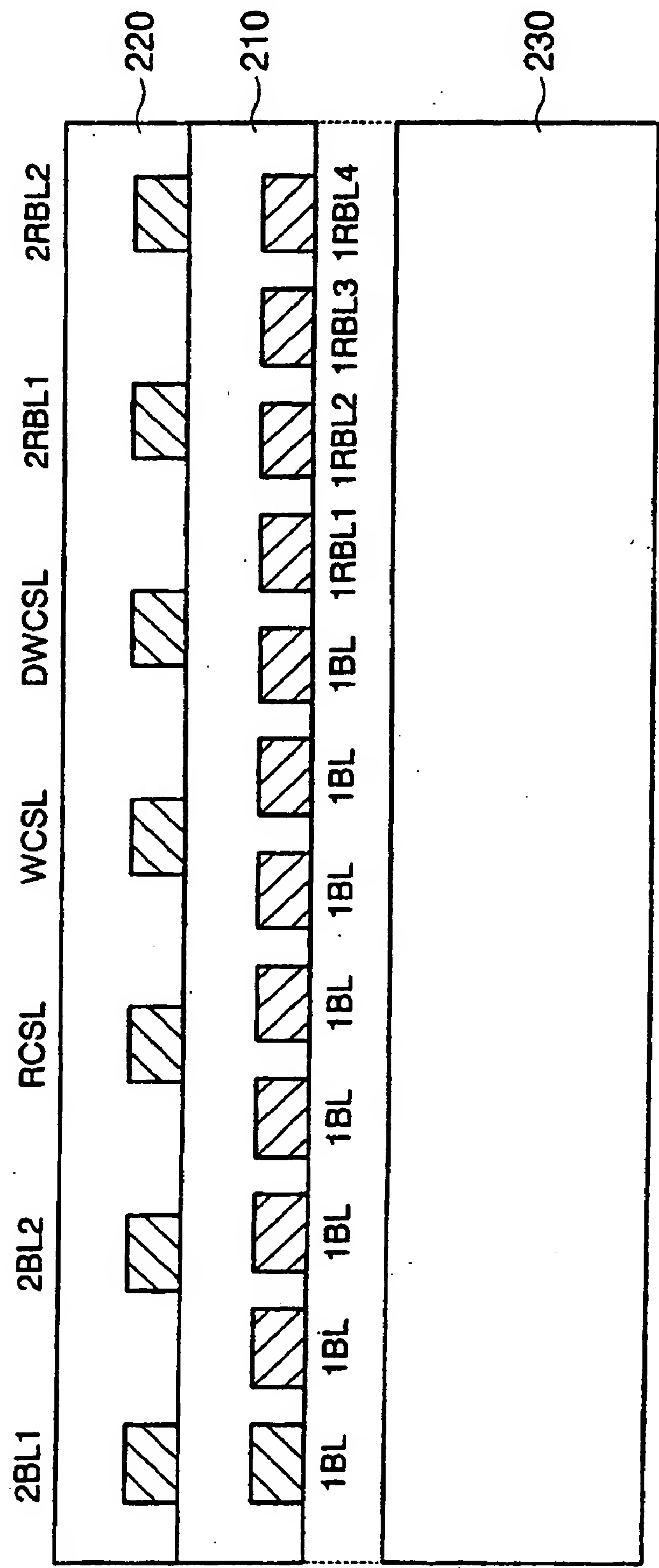


图20









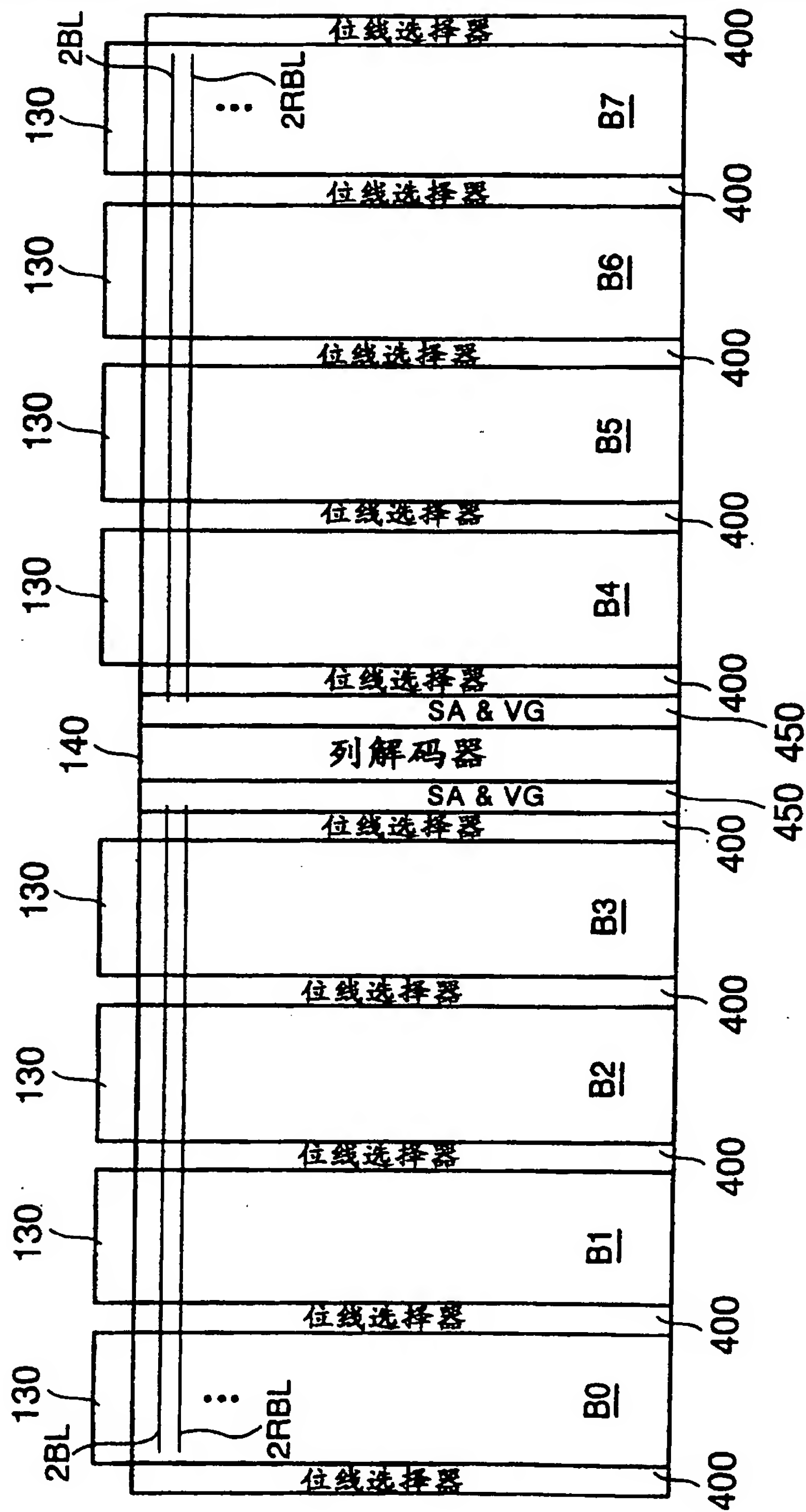
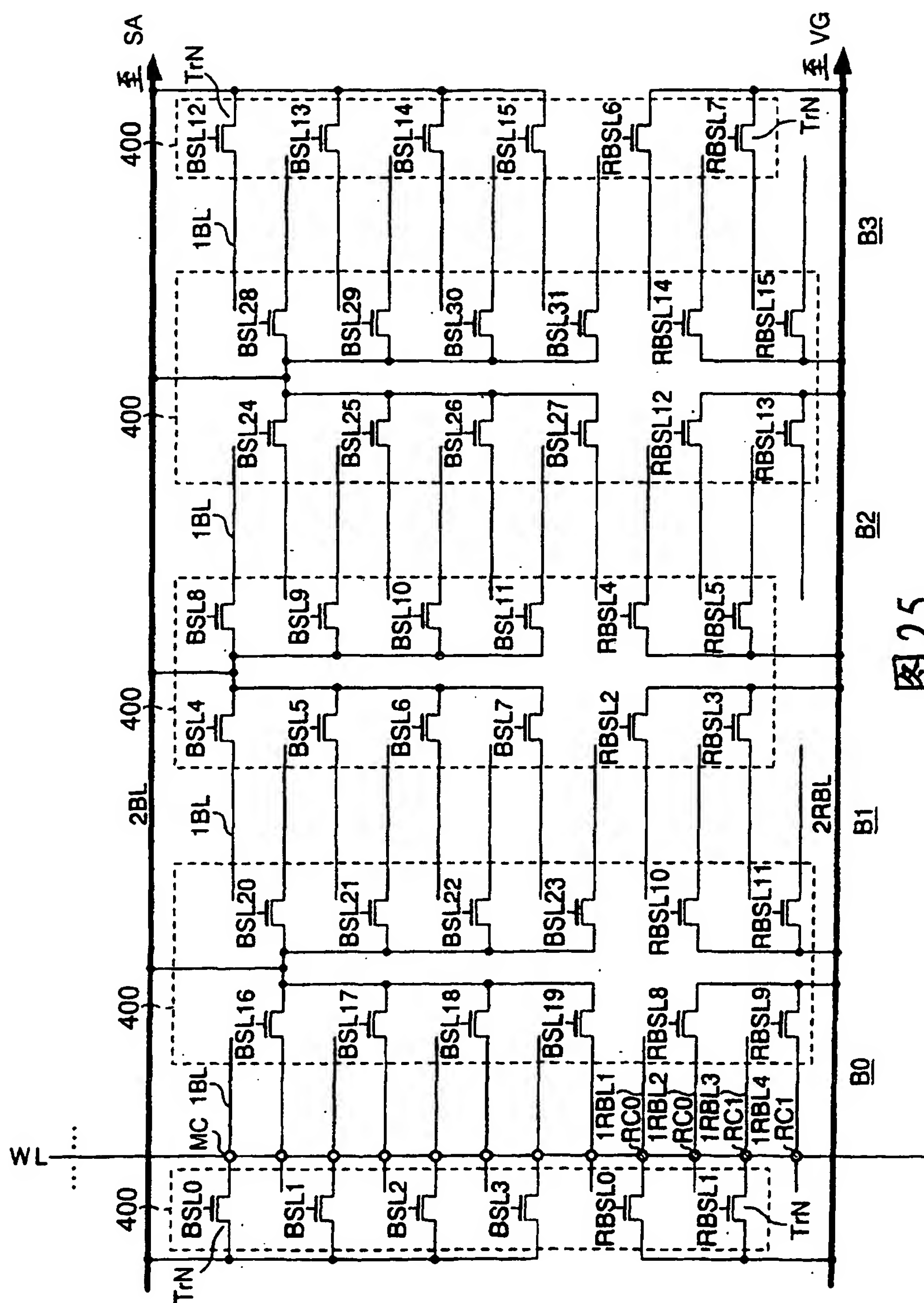


图24







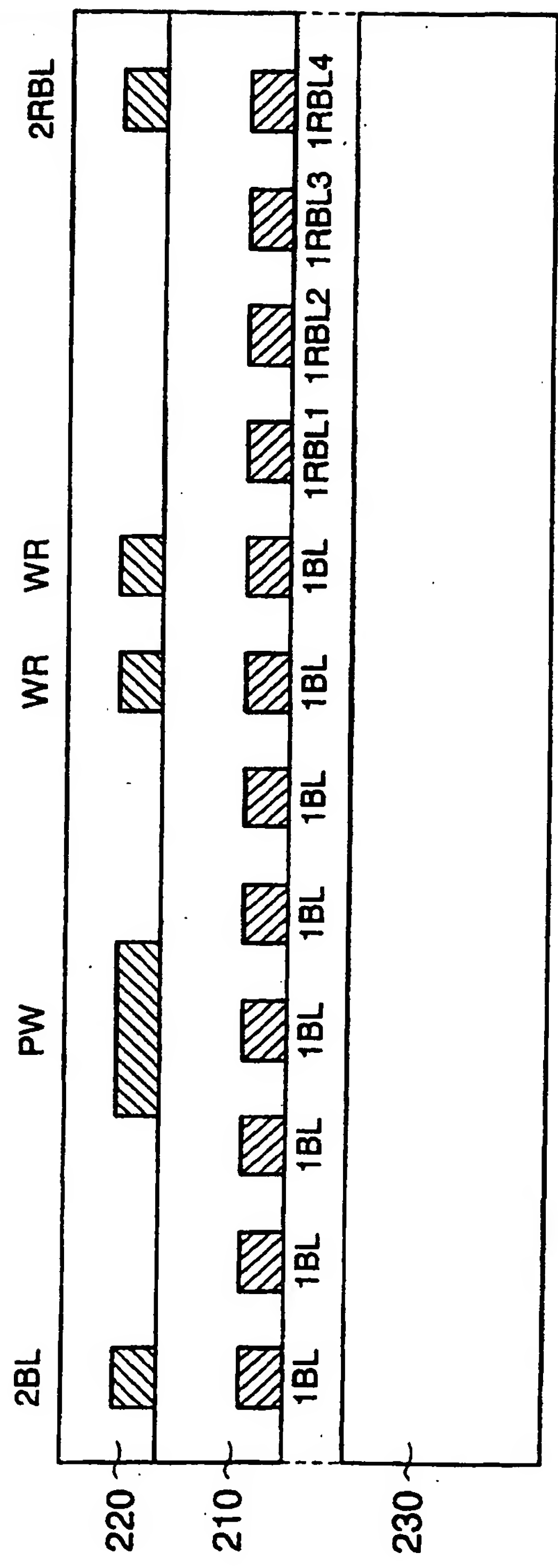


图27

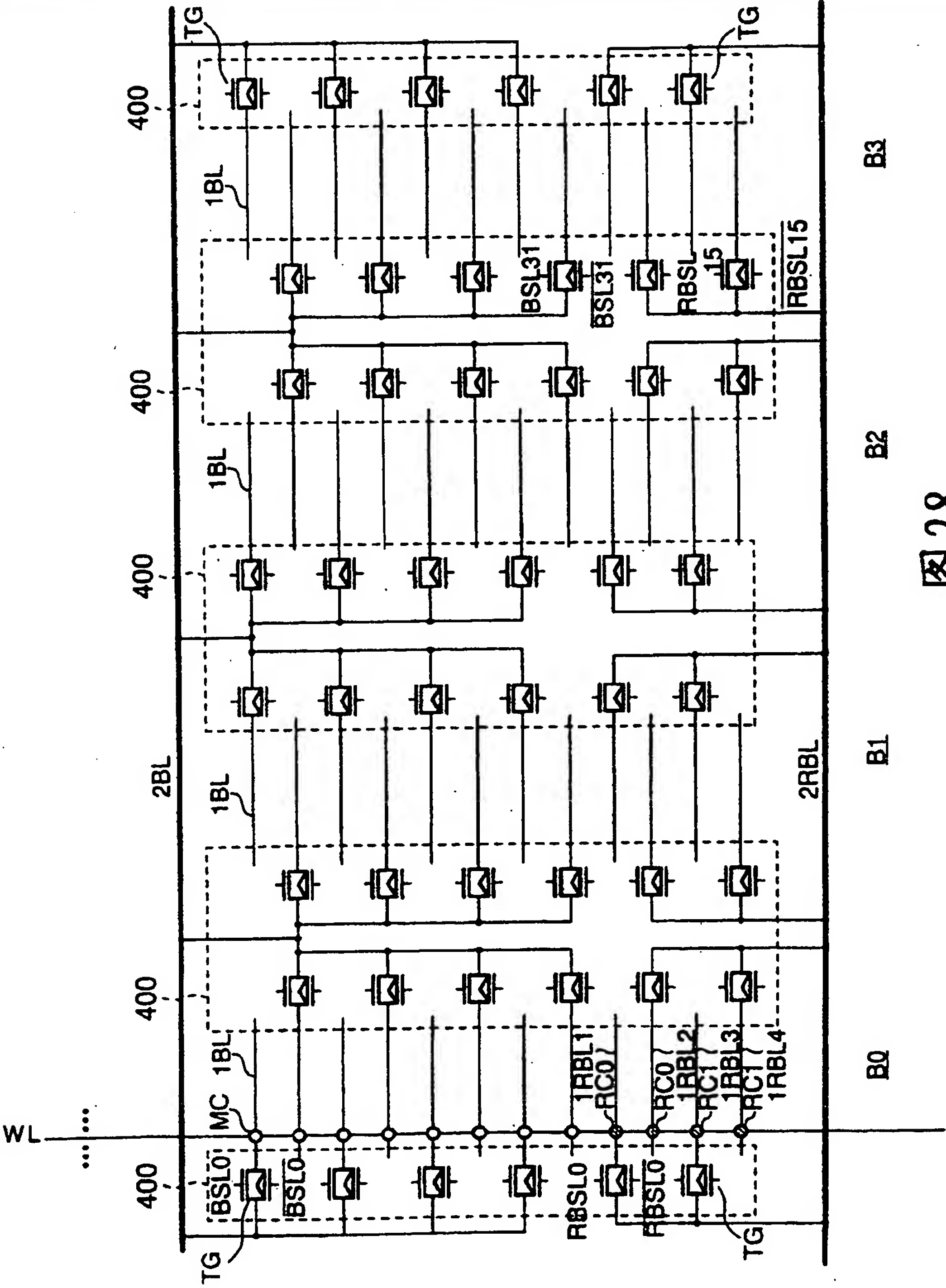
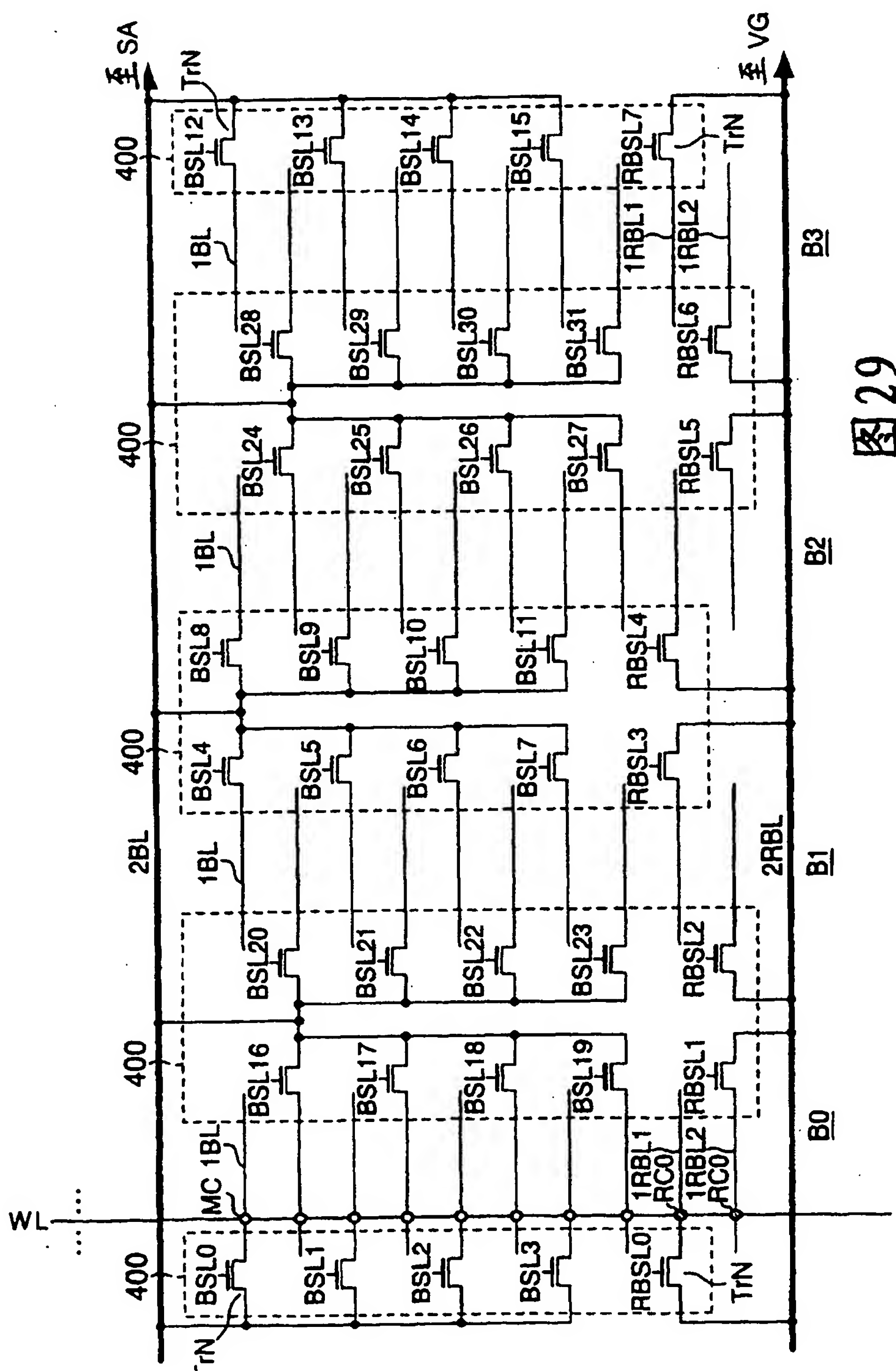


图 28



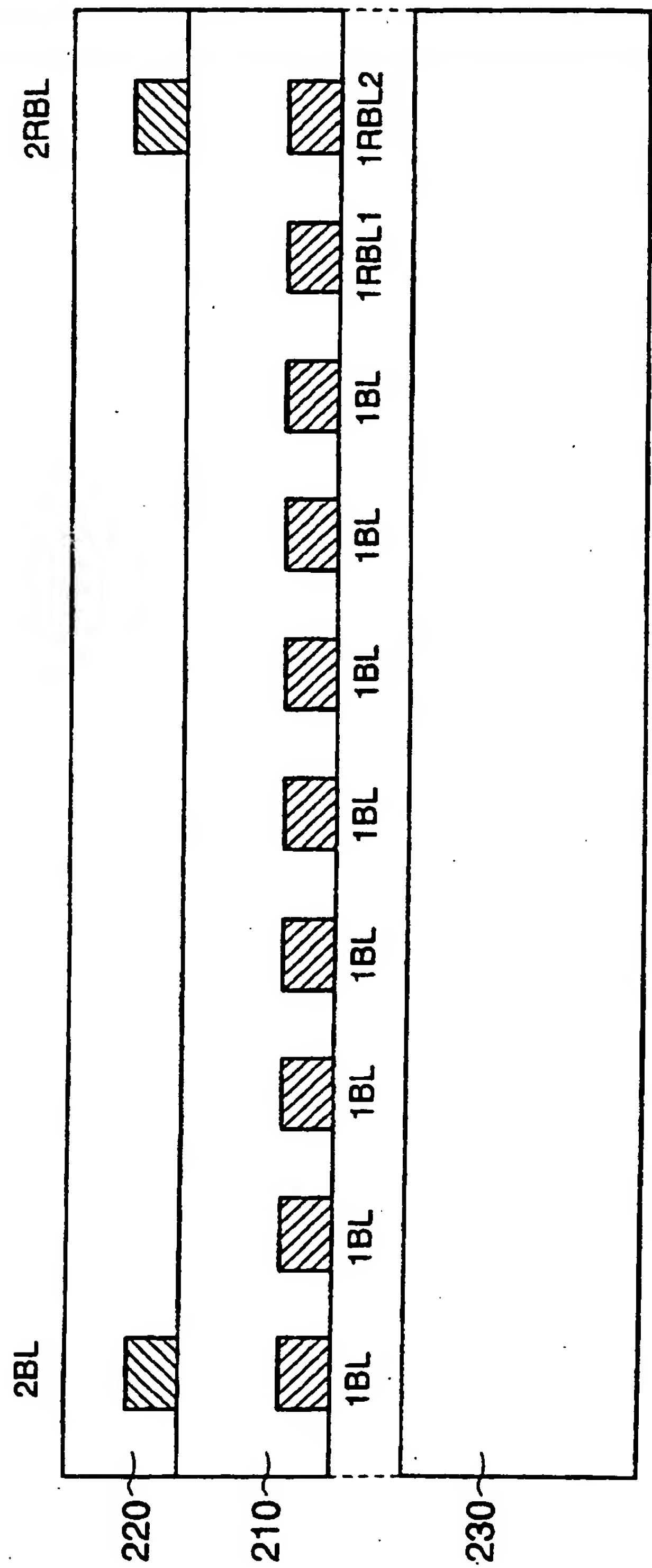
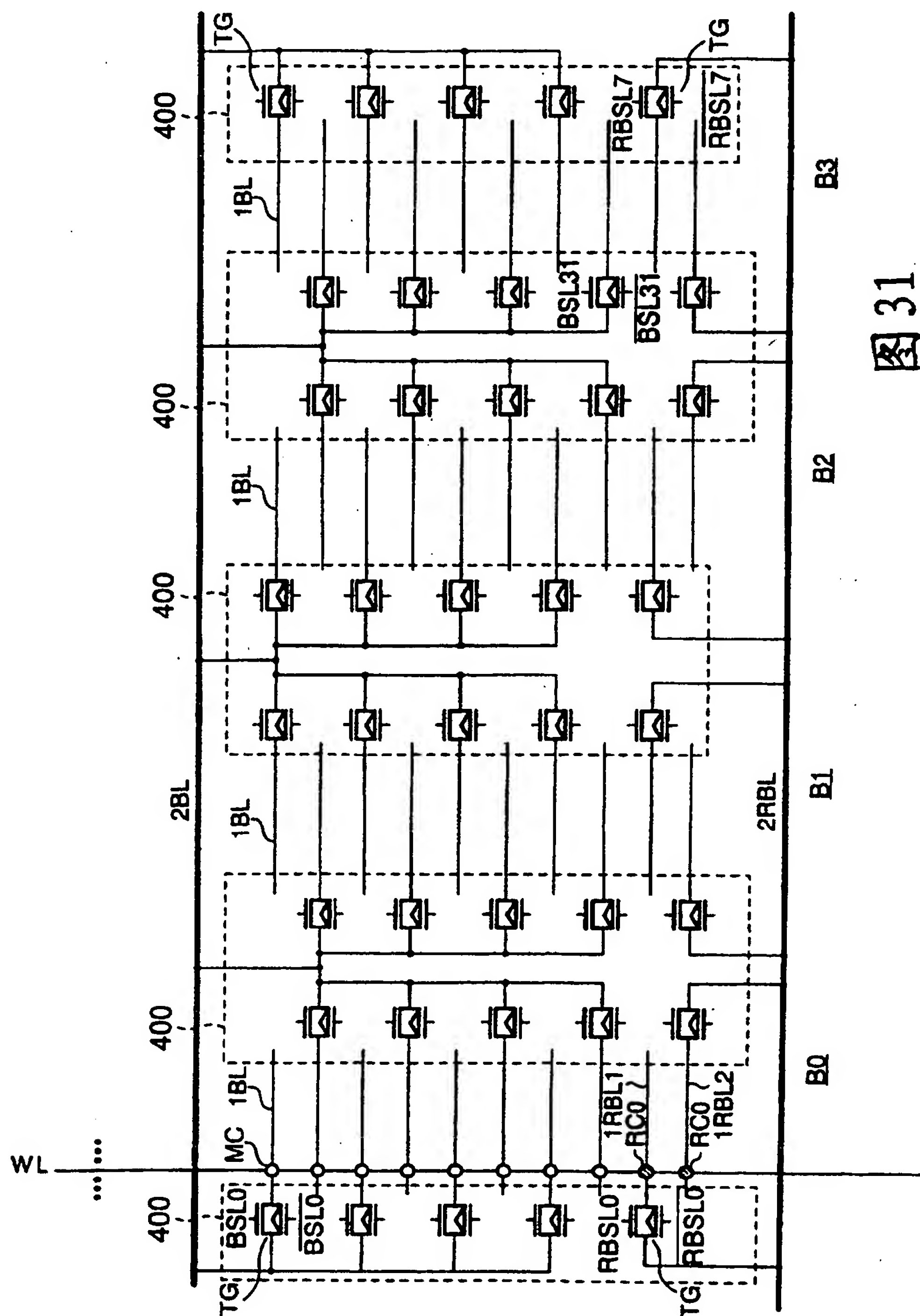


图30





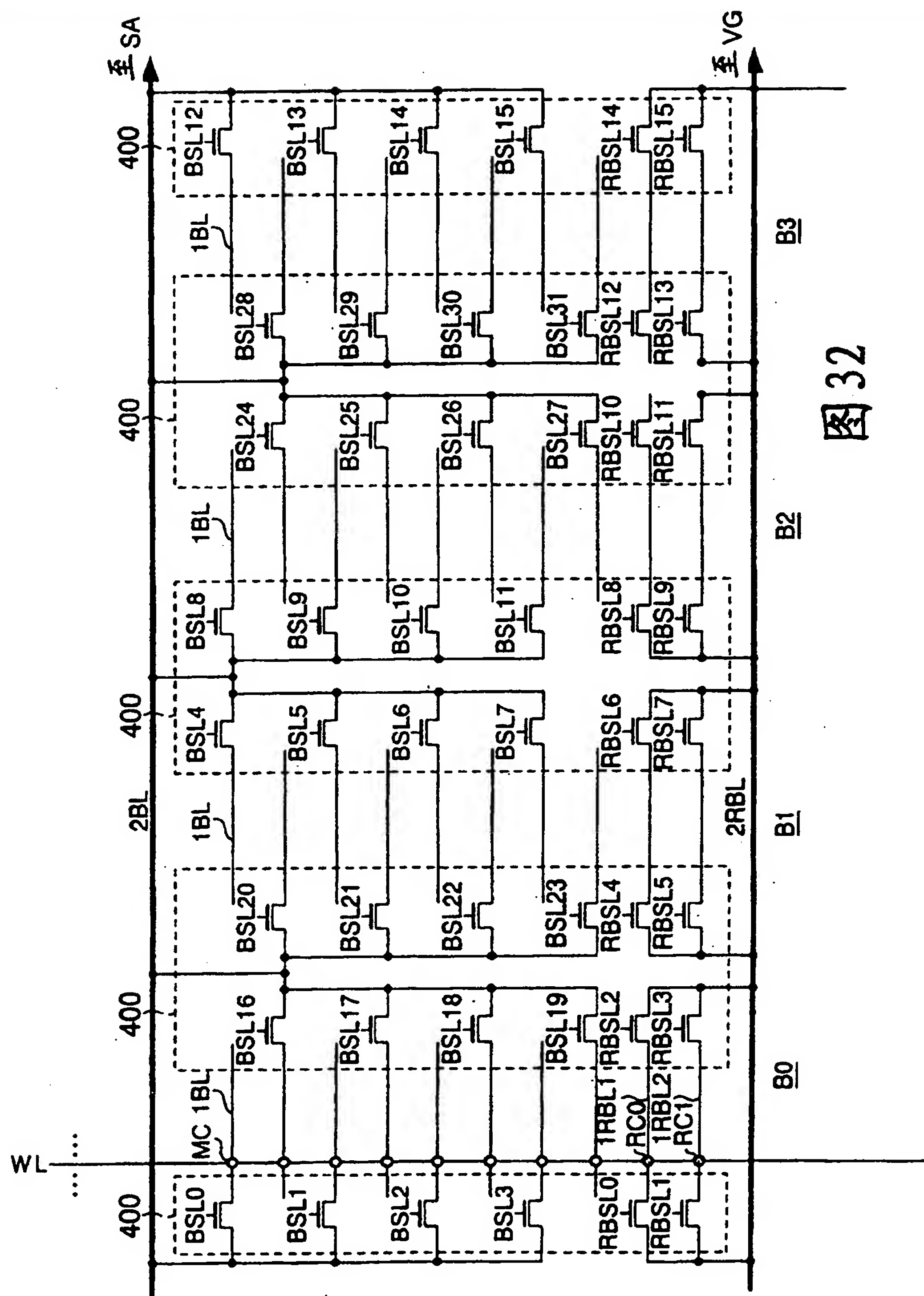


图 32

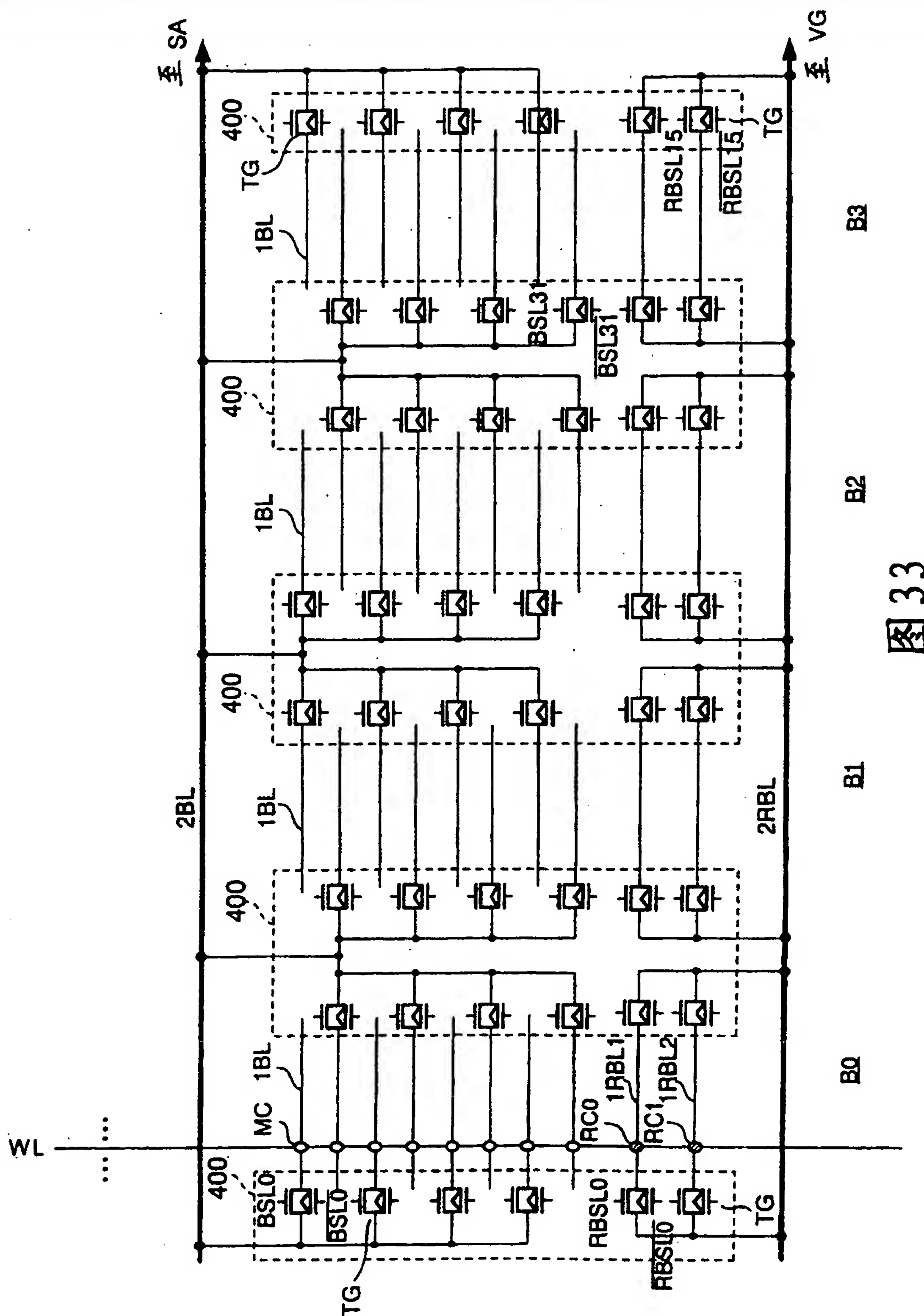
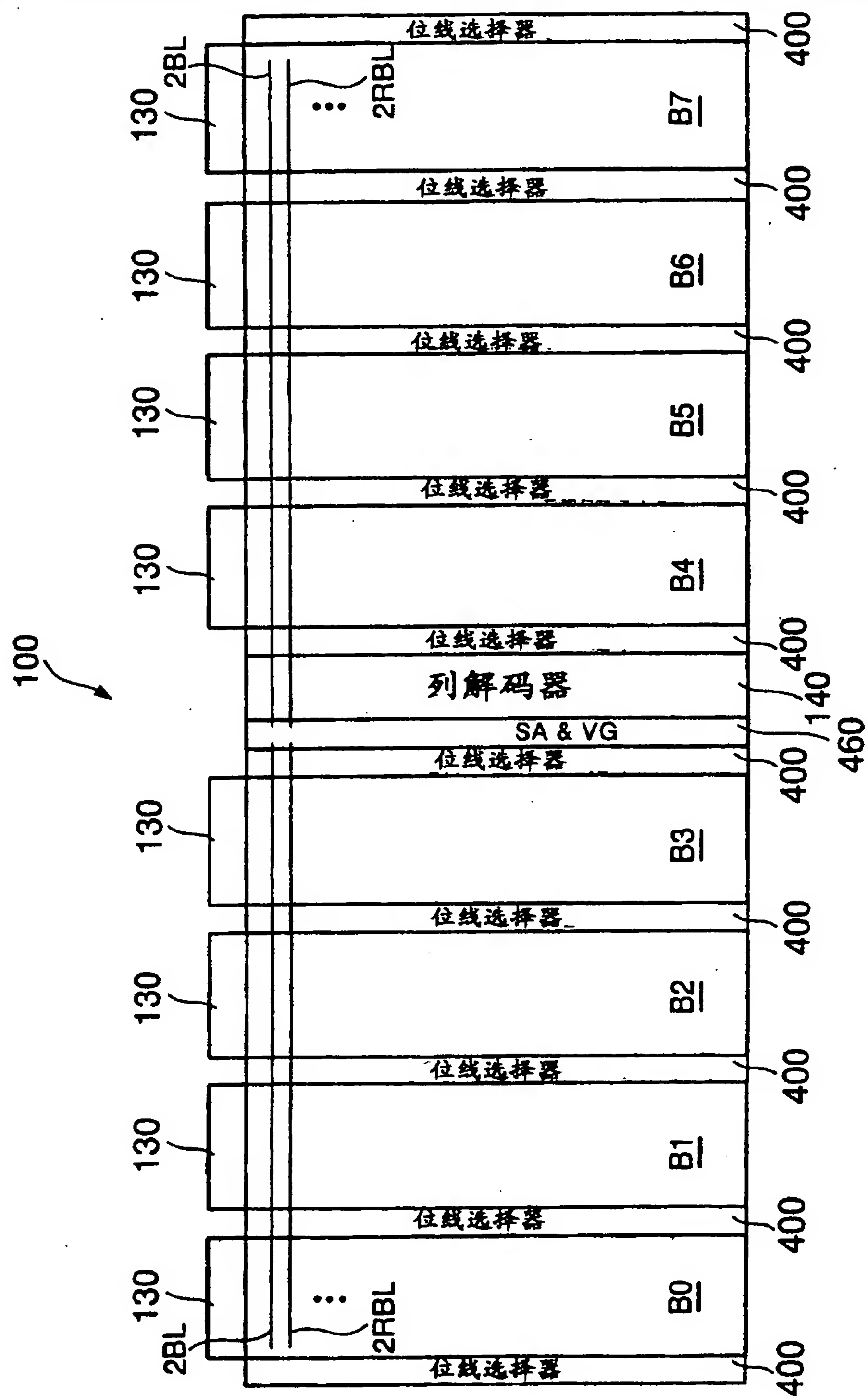


图 33





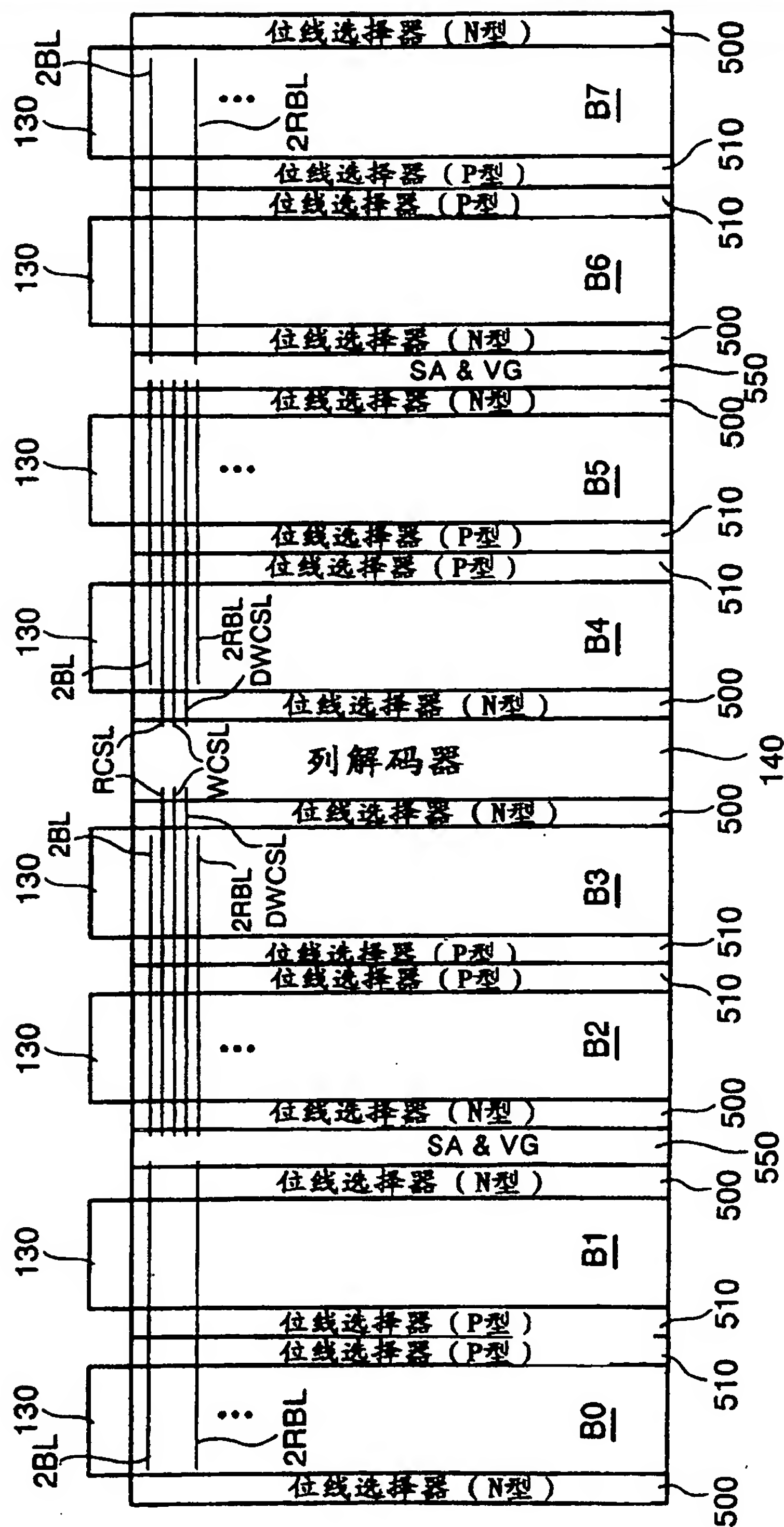
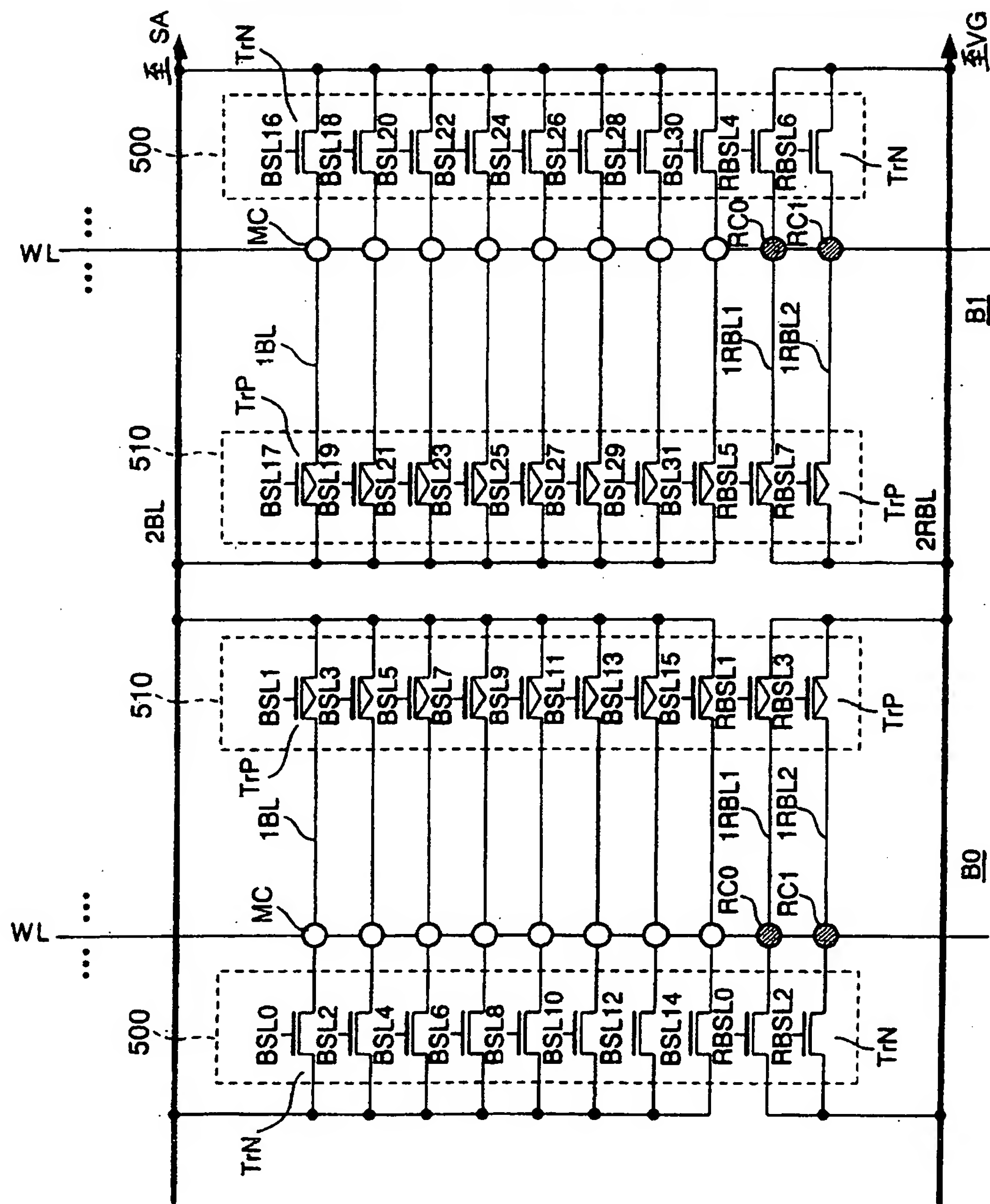


图 35



36

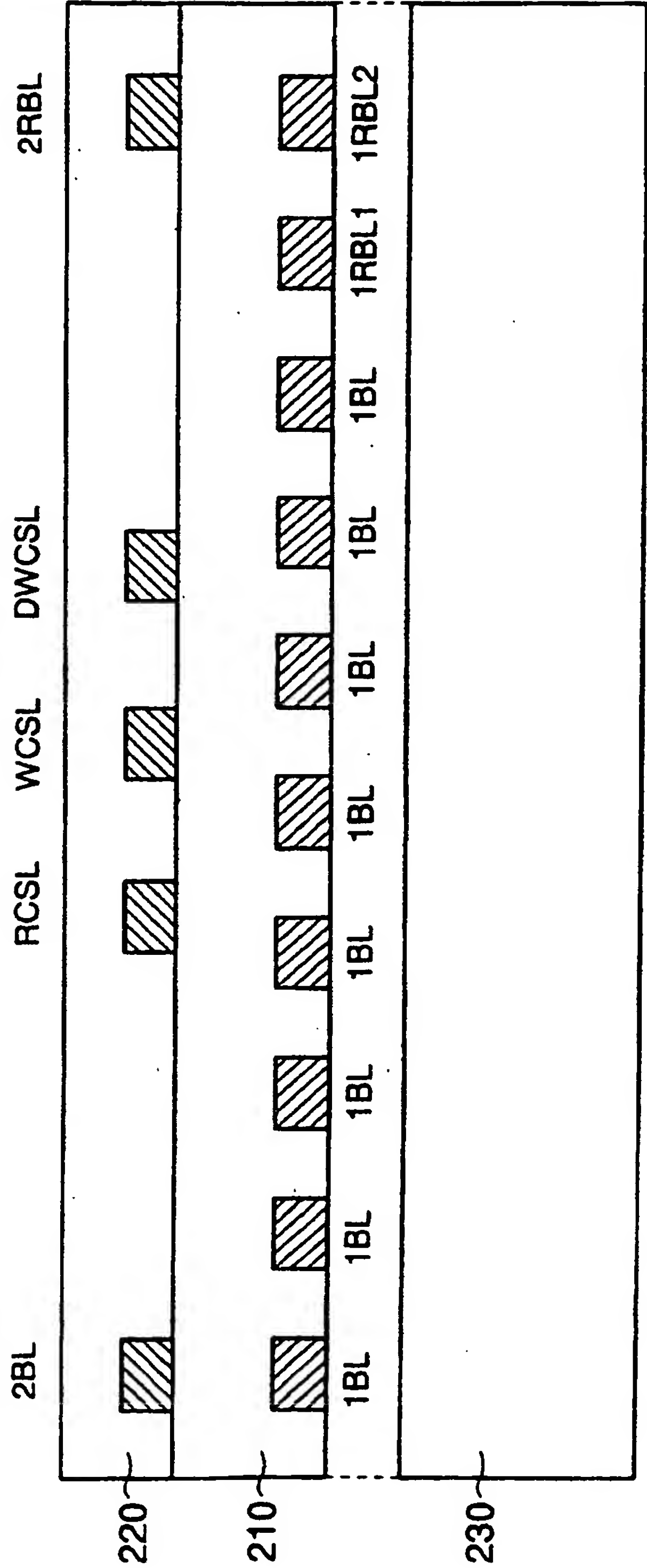


图 37

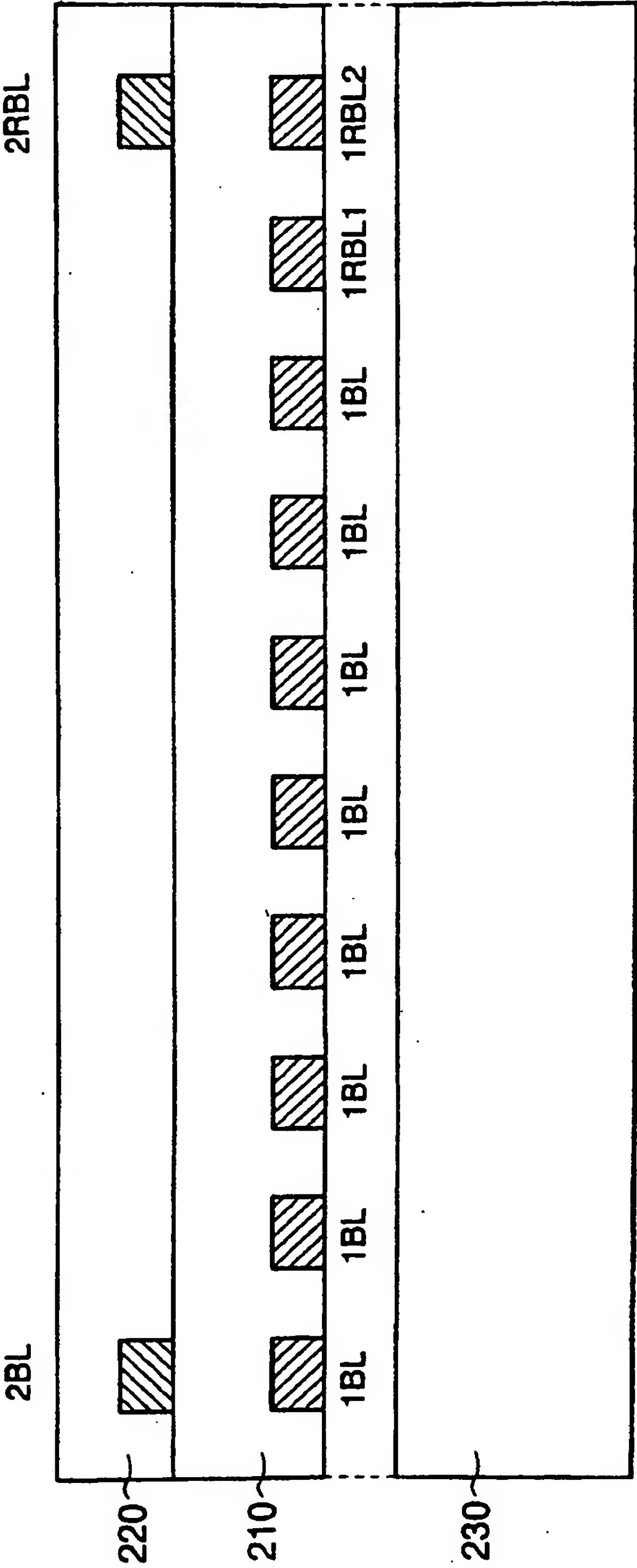


图 38

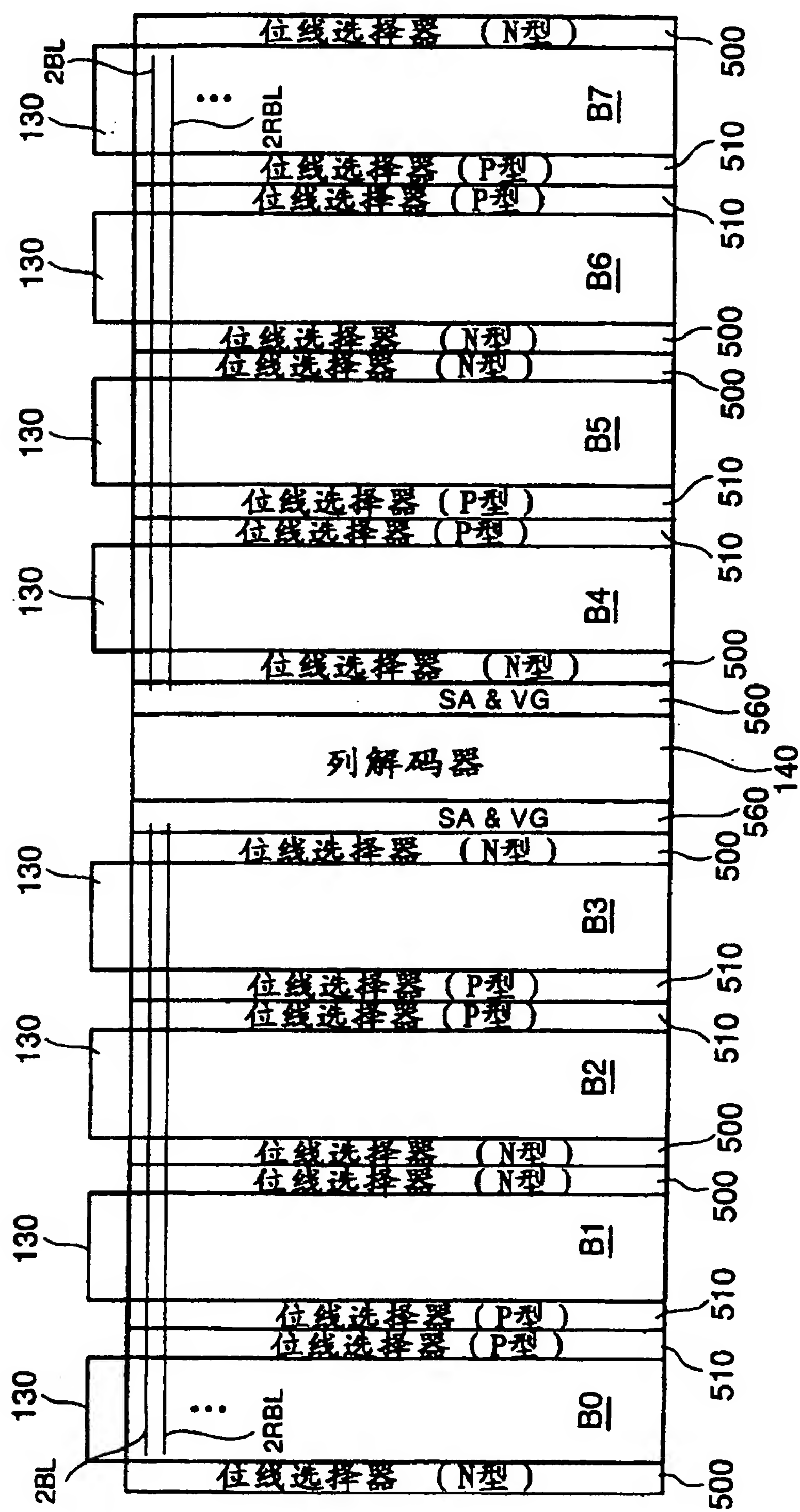


图 39





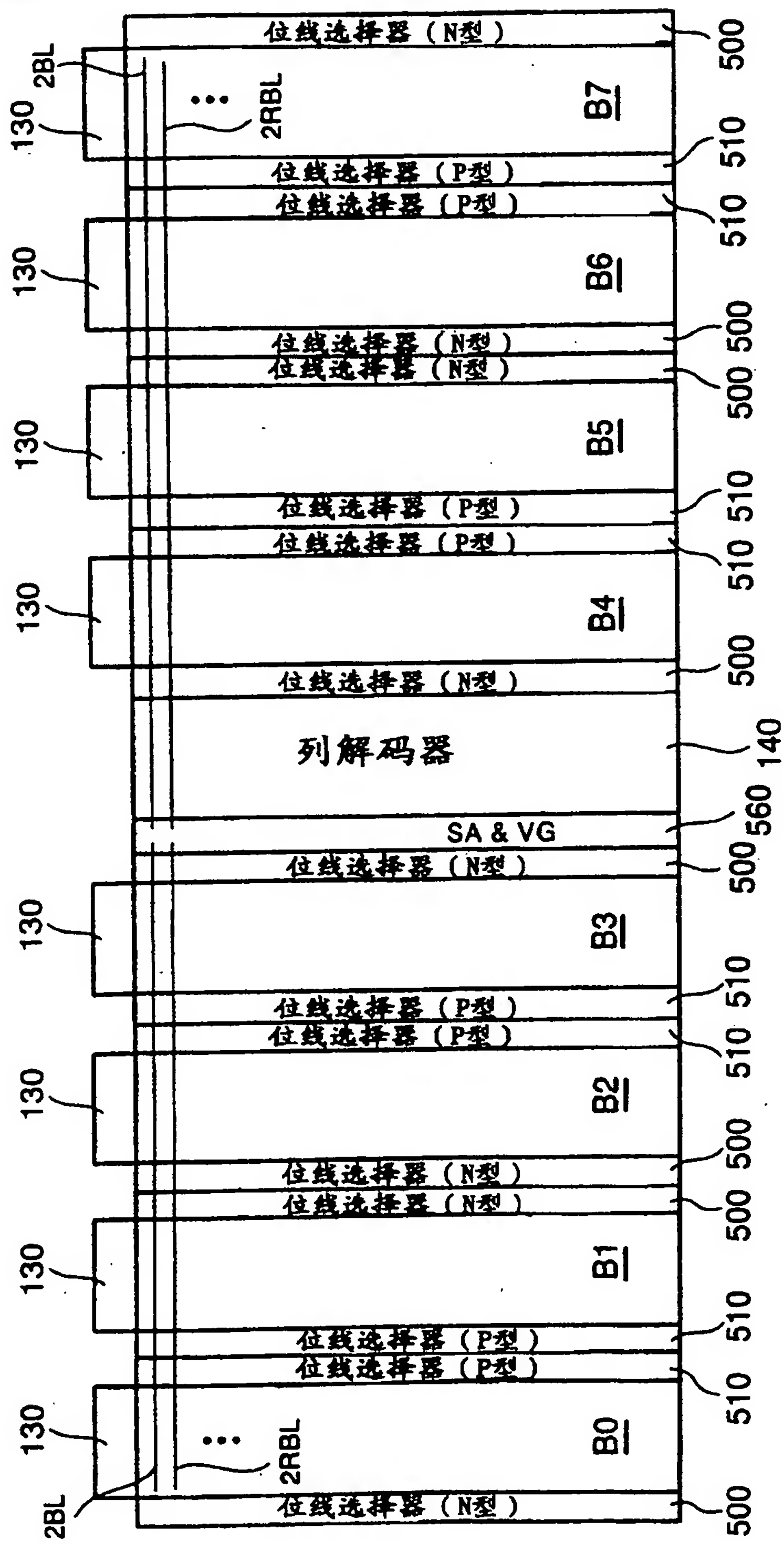
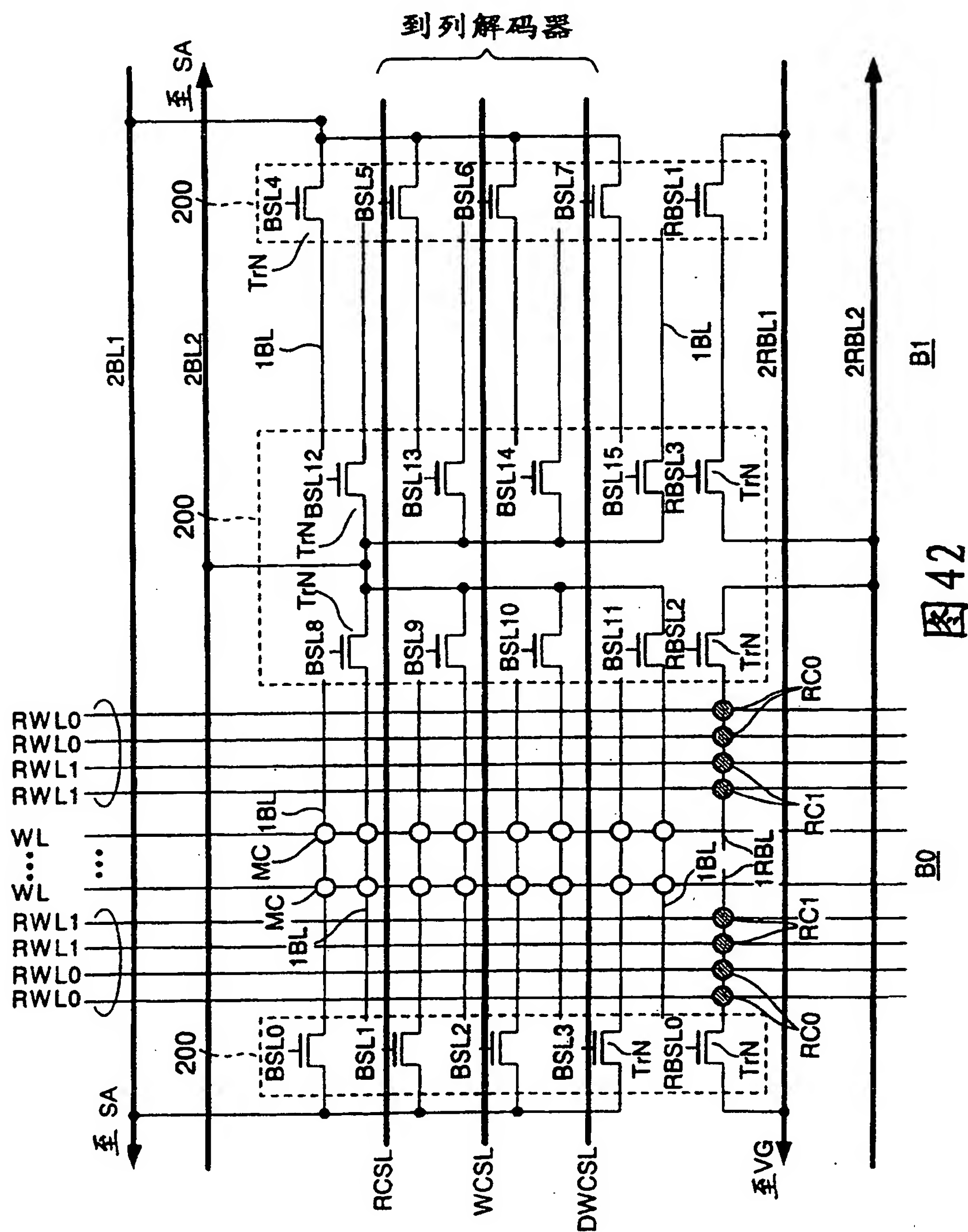


图41



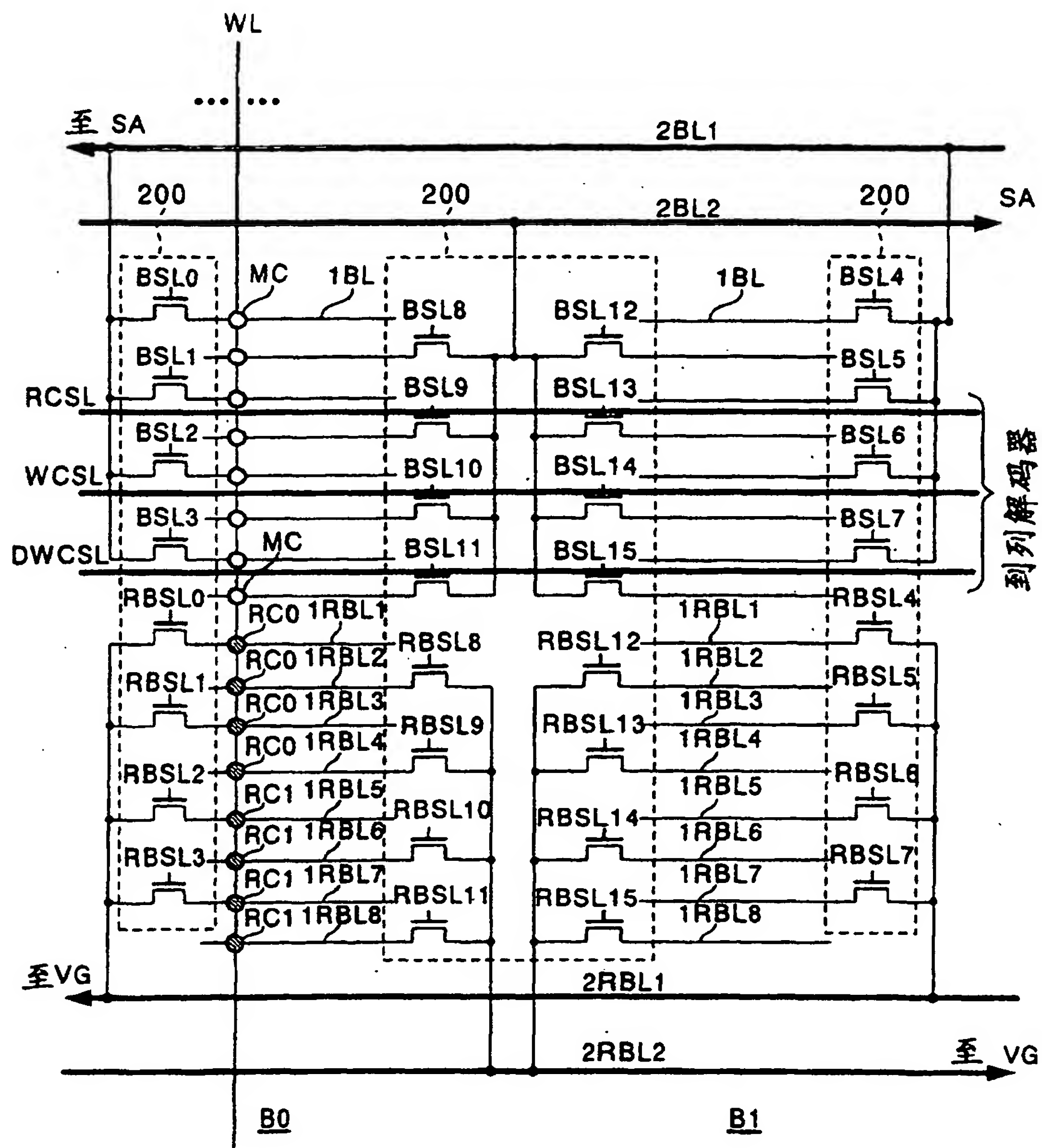


图 43